

IN CIRCUIT EMULATOR

ND - K421

ユーザーズマニュアル

MS - DOS™は、米国マイクロソフト社の商標です。  
PC DOS™は、米国 IBM社の商標です。

本製品は外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当する恐れがありますので、日本国外に輸出する場合には、同法に基づき日本国政府の許可が必要となります。

本資料の内容は、後日変更する場合があります。  
文書による当社の承諾なしに本資料の転載複製を禁じます。  
この製品を使用した事により、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承下さい。

# はじめに

**対象者** このマニュアルは、16ビット・シングルチップ・マイクロコンピュータμPD784218シリーズを採用し、ND-K421によりシステム・デバッグを行うエンジニアを対象としています。

**目的** このマニュアルは、ND-K421シリーズの持つ各種デバッグ機能を理解していただくことを目的とします。

## 用語について

このマニュアルの中で使用する用語について、その意味を下表に示します。

用語	意味
エミュレーション・デバイス	エミュレータ内で対象デバイスのエミュレーションを行っているデバイスの総称です。 エミュレーションCPUを含みます。
エミュレーションCPU	エミュレータ内で、ユーザが作成したプログラムを、実行しているCPU部分です。
対象デバイス	エミュレーションの対象となっているデバイスです。 (本チップ)
ターゲット・プログラム	デバッグの対象となるプログラムです。 (ユーザが作ったプログラム)
ターゲット・システム	デバッグの対象となるシステムです。 (ユーザの作ったシステム) ターゲット・プログラム、およびユーザの作成したハードウェアを含みます。 狭義にはハードウェアのみを指します。

## 凡例

注) : 本文中に付けた注の説明

【注意】 : 特に気をつけて読んでいただきたい内容

〔備考〕 : 本文の補足説明

# 目 次

第1章 概 説 .....	1-1
1.1 システム構成 .....	1-1
1.2 基本仕様 .....	1-2
第2章 各部の名称 .....	2-1
2.1 本体各部の名称 .....	2-1
2.2 ボード名称 .....	2-2
第3章 設 置 .....	3-1
3.1 接 続 .....	3-1
3.2 クロックの設定 .....	3-3
3.2.1 ユーザ・クロックの設定 .....	3-3
3.2.2 スルーレート・クロックのエミュレーション .....	3-5
3.3 端子マスク機能設定 .....	3-6
3.3.1 ウェイト(WAIT)マスク機能 .....	3-6
3.3.2 ウェイト表示機能の設定 .....	3-6
3.3.3 NM 割り込みマスク機能 .....	3-6
3.4 低電圧エミュレーションの設定 .....	3-7
3.5 外部トリガ .....	3-7
3.6 オプション・ボード .....	3-8
第4章 対象デバイスとターゲットインターフェース回路の相違 .....	4-1
第5章 制限事項 .....	5-1
付録1 PC98用ホストカードインターフェース .....	付録 - 1
付録2 PCAT用ホストカードインターフェース .....	付録 - 3
付録3 PCカードインターフェース .....	付録 - 5

# 第1章 概説

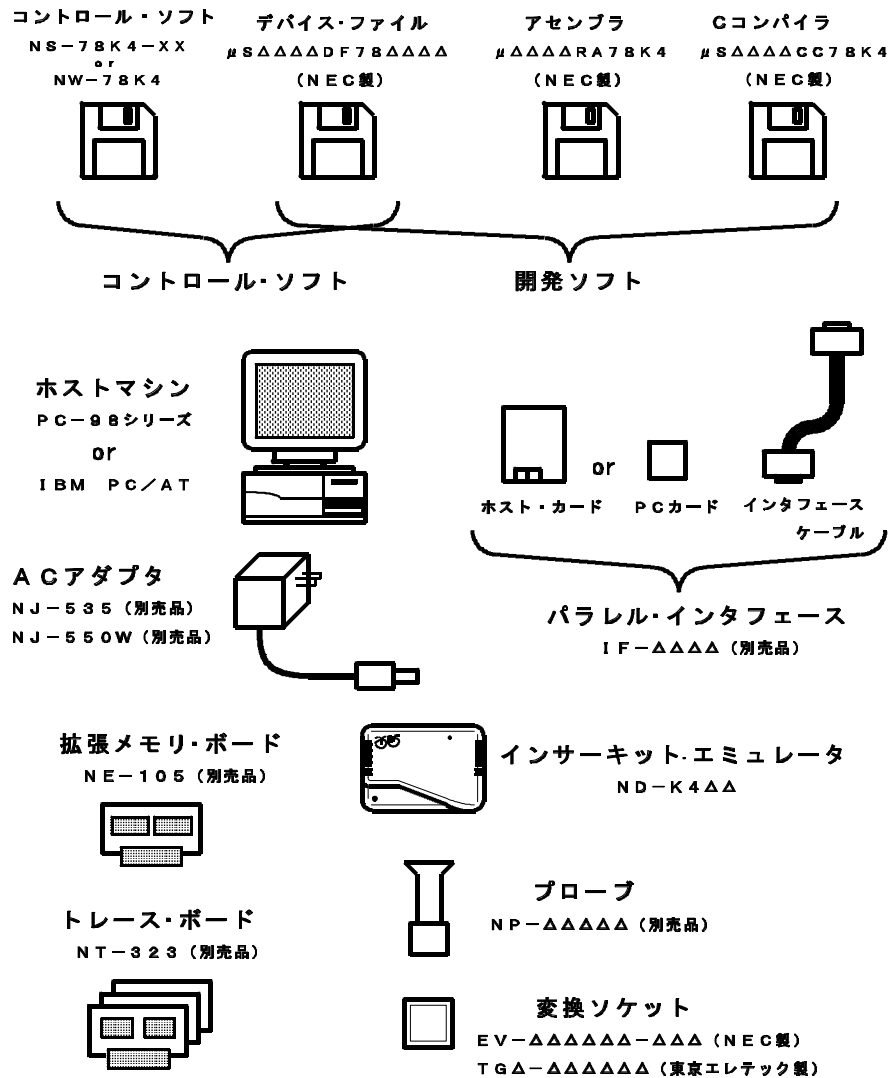
ND-K421は、16ビット・シングルチップ・マイクロコンピュータ、 $\mu$ PD784218シリーズを用いたハードウェア、またはソフトウェアを効率的にデバッグするための開発支援装置です。

本章では、ND-K421のシステム構成および基本仕様について説明します。

## 1.1 システム構成

ND-K421のシステム構成は次のようになっています。

《ASM IS ND-K4シリーズ システム構成》



## 1.2 基本仕様

《機能一覧（MAX仕様）》

項目	内容
スーパーバイザ	V40™（動作周波数 9.8304[MHz]）
対象デバイス	μ PD784218 シリーズ
システムクロック	12.5[MHz]
クロック供給	外部：パルス入力 内部：25[MHz]
代替メモリ容量	192[KB]（拡張メモリ・ボード実装時：1[MB]）
マッピング単位	内部 ROM 8[KB] 内部 RAM 512[B] 周辺 RAM 256[B] 外部代替メモリ 64[KB] 空間以下 4[KB] 1[MB] 空間以下 64[KB] 1[MB] 空間以上 1[MB]
エミュレーション機能	リアルタイム実行 ブレーク実行 ステップ実行
リアルタイム 内部 RAM モニタ	内部 RAM 領域全て
イベント検出	プログラム実行検出 バス・イベント検出 外部トリガ検出 トリガ出力（1本） オープンドレン出力
イベント統合	パス条件 シーケンシャル条件 トレース・クオリファイ条件† 区間トレース開始、終了条件† （時間計測カウンタ開始、終了） トレース・ディレイ† （トリガ出力条件）
ブレーク要因	イベント・ブレーク マニュアル・ブレーク コマンド・ブレーク フェイル・セーフ・ブレーク

項 目	内 容
リアルタイム・トレース† トレース要因  トレース容量 トレース内容	全トレース 区間トレース クオリファイ・トレース 96[bit]×32[K] アドレス、データ、ステータス
実行時間測定	最大 14分33秒 分解能：203.45[ns] 測定区間実行回数 最大 65536[回]
ターゲット・インタフェース	ターゲットデバイス形状ごとにプローブを用意
コマンド	アセンブラ / 逆アセンブラ メモリ / レジスタ / SFR リセット シンボリック・デバッグ ロード / セーブ
端子マスク	RESET, NMI, WAIT ハードウェア STOPがマスク可能。
ホスト・インタフェース	専用パラレル・インタフェース
低電圧対応	3[V]~
ホストマシン	PC - 98, IBM PCシリーズ
電源	DC 5[V]
外形寸法	W 235× D 195× H 54.5[mm]

† …… トレースメモリ実装時のみ有効

## 第2章 各部の名称

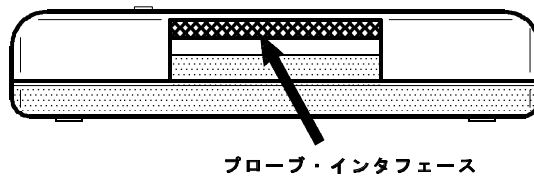
本章では、ND-K421の本体各部の名称を紹介します。

梱包箱の中にはND-K421本体が入っています。万一、不足や破損等がありましたら、販売員までご連絡下さい。

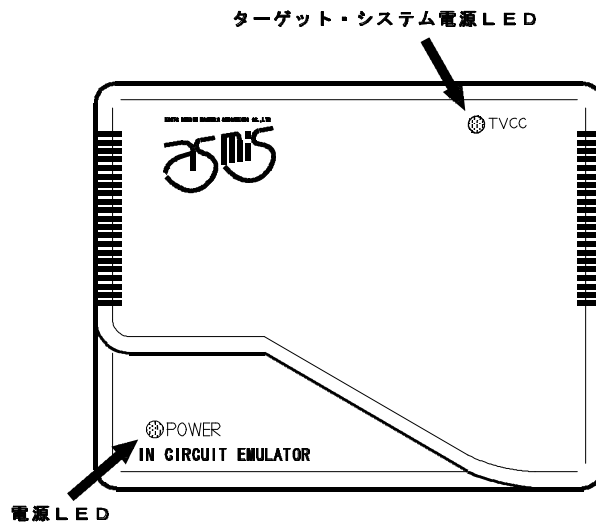
また、本体に添付の保証書は、それぞれの項目にご記入の上、必ずご返送下さい。

### 2.1 本体各部の名称

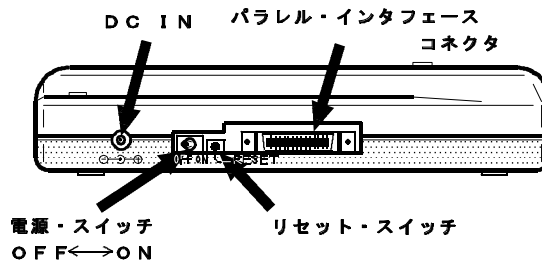
#### (1) プローブ面



#### (2) 上面



#### (3) パラレル・インタフェース面



## 2.2 ボード名称

ND-K421の中には次の3枚のボードが入っています。

- |                                   |       |    |
|-----------------------------------|-------|----|
| (a) メイン・ボード (G-78K4 MAIN Board)   | ..... | 1枚 |
| (b) エミュレーション・ボード (G-78K4EM Board) | ..... | 1枚 |
| (c) 784218Dボード (G-784218IO Board) | ..... | 1枚 |

本体裏面のネジ4箇所を外し、フタを開けて確認して下さい。

- (a) メイン・ボード  
(G-78K4 MAIN Board)

(b) エミュレーション・ボード  
(G-78K4EM Board)

(c) 784218IOボード  
(G-784218IO Board)

## 第3章 設置

本章では、ND-K421をケーブル等と接続し、各モード設定を行う方法について解説します。

### 3.1 接続

エミュレーション・プローブやACアダプタ、パラレル・ケーブルをND-K421本体に接続します。

【注意】ターゲット・システムとの接続、取り外し、さらにスイッチ等の設定変更は、本体ND-K421およびターゲット・システムの電源をOFFにしてから行って下さい。

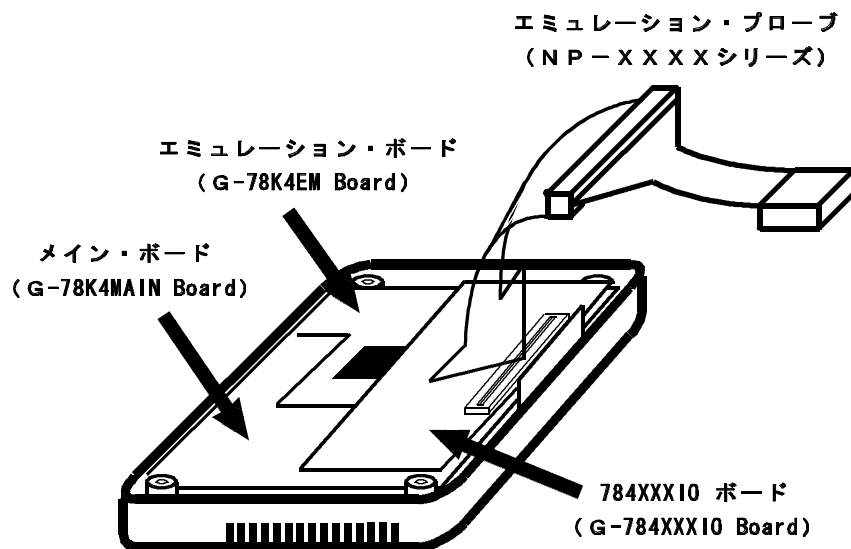
#### (1) エミュレーション・プローブの接続方法

ND-K421本体の上部を開き、784218 IOボード(G-784218IO Board)のプローブ用コネクタ(CN1)に、エミュレーション・プローブを差し込みます。

ND-K421上部を元に戻し、ネジでしっかり止めます。

【注意】接続方法を間違えますと、ND-K421本体が破壊されることがあります。なお、接続の詳細については、各エミュレーション・プローブのユーザーズ・マニュアルを参照して下さい。

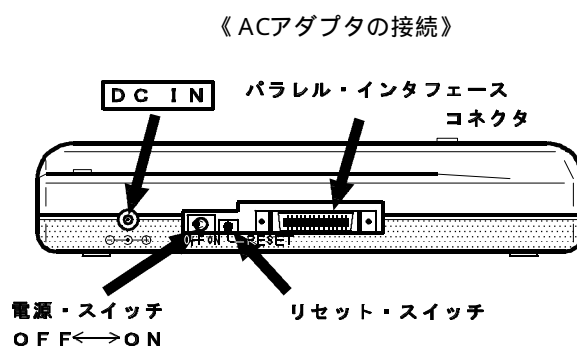
#### 《エミュレーション・プローブの接続》



## (2) 電源の接続方法

専用ACアダプタからの供給

ND-K421の平行・インタフェース面の "DC IN" にACアダプタを差し込んで下さい。



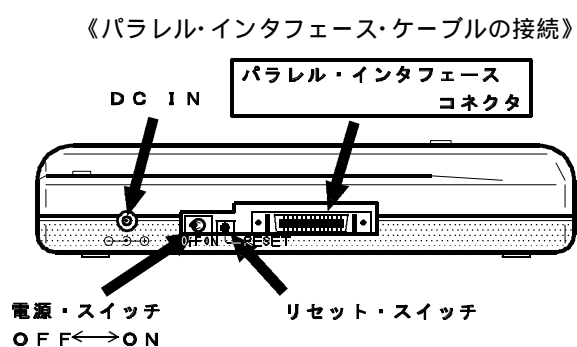
専用ACアダプタ以外からの供給

外径5.5mm、内径2.1mmのプラグに、極性は外側+、内側-とし、DC 5V ± 5%、3A以上の電源と接続して使用して下さい。

【注意】接続、印加電圧を間違えますと本機は破壊されます。

## (3) 平行・インタフェース・ケーブルの接続方法

ND-K421本体の平行・インタフェース・コネクタに差し込みます。



## 3.2 クロックの設定

### 3.2.1 ユーザ・クロックの設定

#### (1) メイン・クロック

出荷時には、25MHzの水晶発振器が784218Dボード(G-784218IO Board)のUMCLKのソケットに実装されています。

メイン・クロックの周波数を変更するには、3種類の方法があります。

水晶発振器の交換(UMCLKソケット)

発振回路を組む(UMCLKソケット)

ターゲットからパルスを入力(X1端子)

コントロール・ソフトのコマンドによって、ソケットのクロックとターゲットのクロックを切り替えることができます。詳しくは各コントロール・ソフトのマニュアルを参照してください。

注) メイン・クロックが正常に供給されていないと、IE本体がハングアップしますので、ご注意ください。また、ターゲットからのクロックは、矩形波を入力して下さい。

ただし、X2端子にクロックを供給する必要はありません。

低電圧動作時には、メイン・クロックは 最大周波数の1/2以下の周波数を供給して下さい。

#### (2) サブ・クロック

水晶発振器が784218Dボードに32.768KHzが標準実装されています。

出荷時には、USCLKの6ピンと8ピンがショート(標準実装の発振器を選択)してあります。

サブ・クロックの周波数を変更するには、3種類の方法があります。

水晶発振器の実装(USCLKソケット)

発振回路を組む(USCLKソケット)

ターゲットからパルスを入力(XT1端子)

USCLKソケットかターゲットは、784218Dボードのジャンパ(JP1)で切り替えます。

1- 2ショート … USCLKソケットのクロックを選択します。

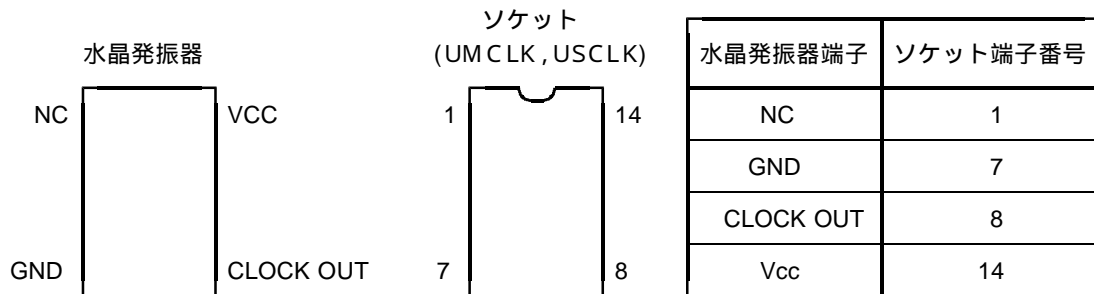
2- 3ショート … ターゲット(XT1端子)のクロックを選択します。

注) ターゲットからのクロックは、矩形波を入力して下さい。

ただし、XT2端子にクロックを供給する必要はありません。

( a ) 水晶発振器を用いる場合

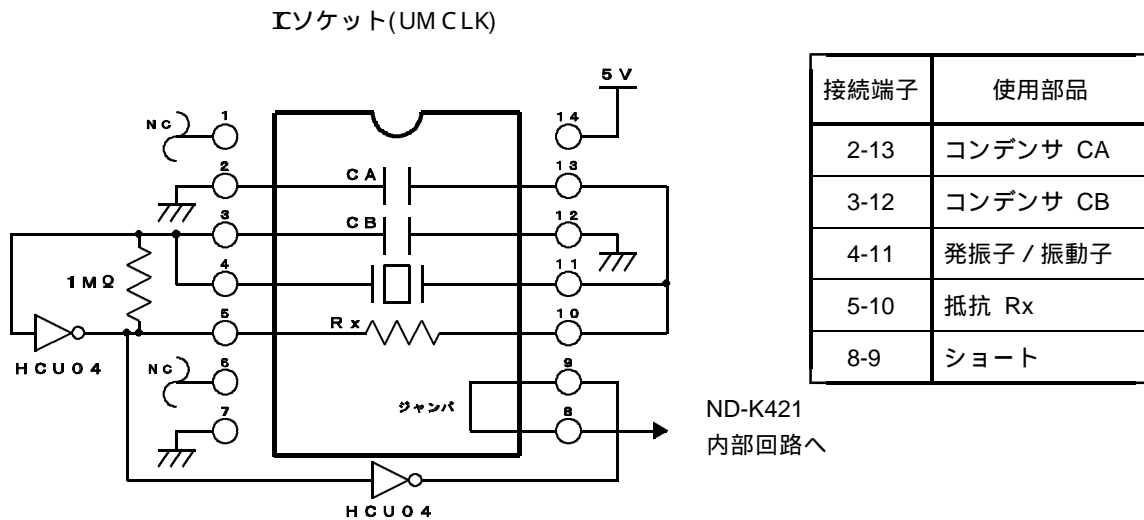
メイン・クロックまたは、サブ・クロックに水晶発振器を用いる場合、端子配置が以下のようになっている水晶発振器を図のようにソケット実装して下さい。



( b ) セラミック発振子 / 水晶振動子を用いる場合

メイン・クロック

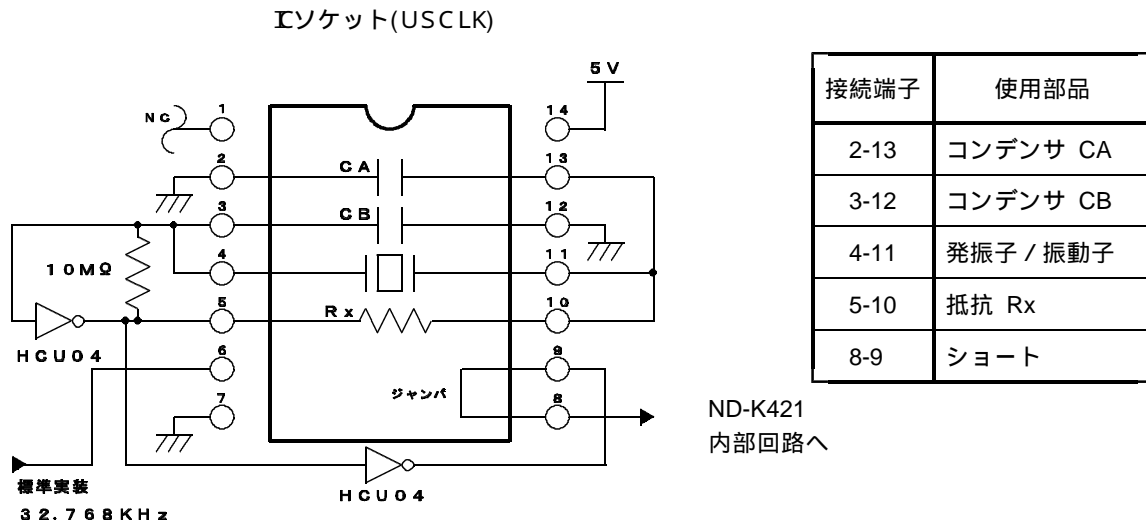
以下のような回路構成になっていますので、エソケット上に必要な周波数の発振子 / 振動子、抵抗、コンデンサを実装して下さい。



### サブ・クロック

以下のような回路構成になっていますので、エソケット上に必要な周波数の発振子 / 振動子、抵抗、コンデンサを実装して下さい。

ただし、784218Dボード上に標準実装されているサブ・クロックを有効にするためにはUSCLKの6ピンと8ピンをショートさせて下さい。



### 3.2.2 スルーレート・クロックのエミュレーションについて

ND-K421では、起動後にCCレジスタのENMPビットによるスルーレート・クロックを設定できません。スルーレート・クロックモードでご使用になる場合は、以下のようにディップスイッチ(SW1)を電源投入前に設定してからお使い下さい。

ENMPビットの値		ディップスイッチ設定	
		4(ENMP(UMCLK))	5(ENMP(Target))
0 (原発振周波数の1/2)	内部	ON	——
	ターゲット	——	ON
1 (スルーレート クロックモード)	内部	OFF	——
	ターゲット	——	OFF
初期設定		ON	ON

—— : Don't care

【注意】スルーレート・クロックモードを選択した状態で12.5MHzを超えるクロックを使用すると、E本体がハングアップするおそれがありますのでご注意ください。

なお、ND-K421起動時は内部クロックが選択されますので、ディップスイッチ(SW1)の4(ENMP(UMCLK))がOFFの状態でもUMCLKソケットに12.5MHzを超えるクロックを実装しないでください。

### 3.3 端子マスク機能の設定

#### 3.3.1 ウェイト(WAIT)マスク機能

ND-K421では、 $\mu$ PD784218シリーズのポート66端子の兼用機能ウェイト(WAIT)をディップスイッチ(SW1)の設定によりマスクすることができます。

状 態	ディップスイッチ設定	
	1 (WAITMSK)	2 (P660N)
マスク無し【初期設定】	OFF	ON
ウェイトマスク状態	ON	OFF

注) ディップスイッチを上記以外の設定にしないで下さい。

#### 3.3.2 ウェイト表示機能の設定

ND-K421では、ウェイト中をLED点灯により表示させることができます。  
ウェイト表示はディップスイッチ(SW1)の設定により行います。

状 態	ディップスイッチ設定
	3 (WAITLED)
ウェイト(WAIT)状態非表示【初期設定】	OFF
ウェイト(WAIT)中表示	ON

注) ポート66をポートとして使用する場合は、ディップスイッチはOFF状態にして下さい。  
LEDが点灯することがあります。

#### 3.3.3 NM 割り込みマスク機能

ND-K421では、ポート02/INTP2の兼用機能であるNM 割り込みをジャンパ(JP2)によりマスクすることができます。

状 態	ジャンパ設定
	JP2(NMIMSK)
NM マスク無し【初期状態】	2 - 3
NM マスク状態	1 - 2

注) ポート02/INTP2とNM 割り込みは兼用端子であるため、NM マスク状態では、ポート02/INTP2としての動作は不可能です。

### 3.4 低電圧エミュレーションの設定

ND-K421は低電圧エミュレーションが可能です。

ターゲットが低電圧動作の場合、784218Dボード(G-784218IO Board)のTP1ターミナルピンにターゲットと同じ電源の電圧を供給して下さい。(5Vのときは特に必要ありません。)ターゲット電圧は3V~5Vに設定して下さい。

- ・ TP1 の最大消費電流
- |    |       |
|----|-------|
| 5V | 300mA |
| ゝ  | ゝ     |
| 3V | 150mA |

《 784218Dボード ( G-784218IO Board ) 》

↑  
TP1

### 3.5 外部トリガ

#### (1) EXTOUT

784218Dボード上のEXTOUT端子より、ブレイクイベント発生時に、1CPU動作クロック間、ハイレベルを出力します。

注) オープン・ドレイン出力のため、ターゲットシステム上でプルアップ抵抗を接続して下さい。

#### (2) EXTIN

784218Dボード上のEXTIN端子より、イベント信号を入力することができます。  
3CPU動作クロック以上ハイレベルのパルス信号を使用して下さい。

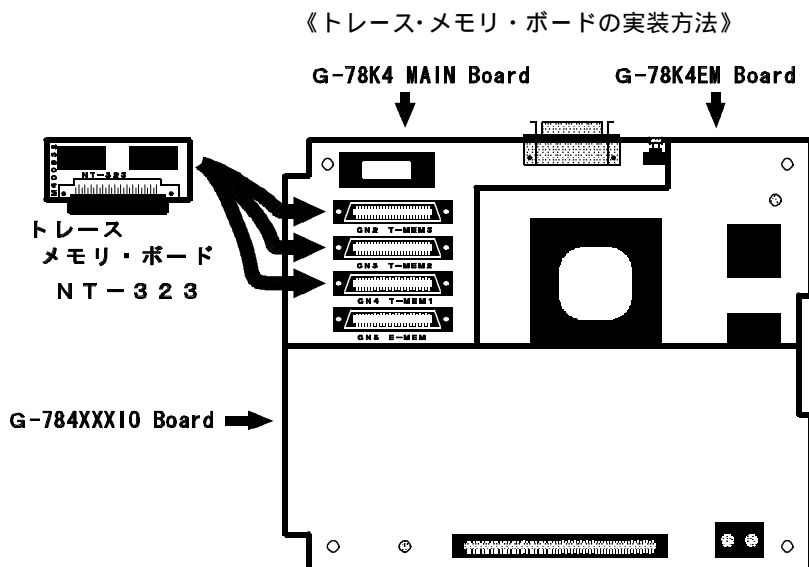
注) 電気的特性

	MIN[V]	MAX[V]
ハイレベル入力電圧	ターゲット電圧 × 0.7	ターゲット電圧
ローレベル入力電圧	0	ターゲット電圧 × 0.3

### 3.6 オプション・ボード

#### トレース・ボード(NT-323)の実装

別売品のトレース・ボード(NT-323)を実装することで、トレース表示ができるようになります。NT-323にはトレース・メモリ・ボードが3枚梱包されていますので、以下のように、G-78K4 MAIN BoardのT-MEM1,2,3 コネクタにそれぞれ実装して下さい。

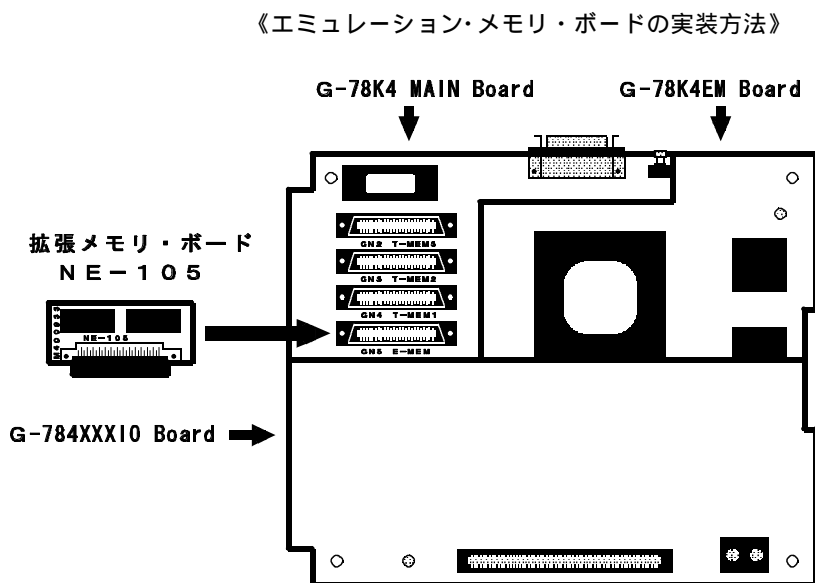


注1) トレース・メモリ・ボードは3枚とも実装して下さい。

#### 拡張メモリ・ボードの実装

別売品の拡張メモリ・ボード(NE-105)を実装することで、エミュレーション・メモリ容量を1MByteにすることができます。

NE-105に梱包されているエミュレーション・メモリ・ボードを以下のようにG-78K4 MAIN BoardのE-MEMコネクタに実装して下さい。



## 第4章 対象デバイスと ターゲット・インターフェース回路の相違

本章では、対象デバイス（ $\mu$ PD784218）の信号線とND-K421のターゲット・インターフェース回路の信号線との相違について説明します。

対象デバイスはCMOS回路ですが、ND-K421のターゲット・インターフェース回路は、エミュレーションCPU、CMOS- $\bar{C}$ 等によるエミュレーション回路で構成されています。

ND-K421とターゲット・システムを接続してデバッグした場合、ターゲット・システム上であたかも実際の対象デバイスが動作しているように、ND-K421がエミュレートします。しかし、実際にはND-K421がエミュレートしているので、細かい違いが生じます。

- (1) エミュレーションCPUから直接入出力される信号
- (2) ターゲットシステムからゲートを通して入力される信号
- (3) その他の信号

上記の(1)から(3)の信号について、ND-K421の回路を示します。

- (1) エミュレーションCPUから直接入出力される信号（エミュレーション回路の等価回路1、2）

次の信号は $\mu$ PD784218シリーズと同じ動作をします。ただし、ポート1,13(A/D、D/Aコンバータ兼用端子)を除いた各ポート関係の信号には、1M $\Omega$ のプルダウン抵抗と22 $\Omega$ の抵抗が直列に挿入されています。

- ポート0 関係の信号
- ポート1 (A/Dコンバータ入力)関係の信号
- ポート2 関係の信号
- ポート3 関係の信号
- ポート7 関係の信号
- ポート10 関係の信号
- ポート12 関係の信号
- ポート13 (D/Aコンバータ出力)関係の信号
- A/Dコンバータ関係の信号

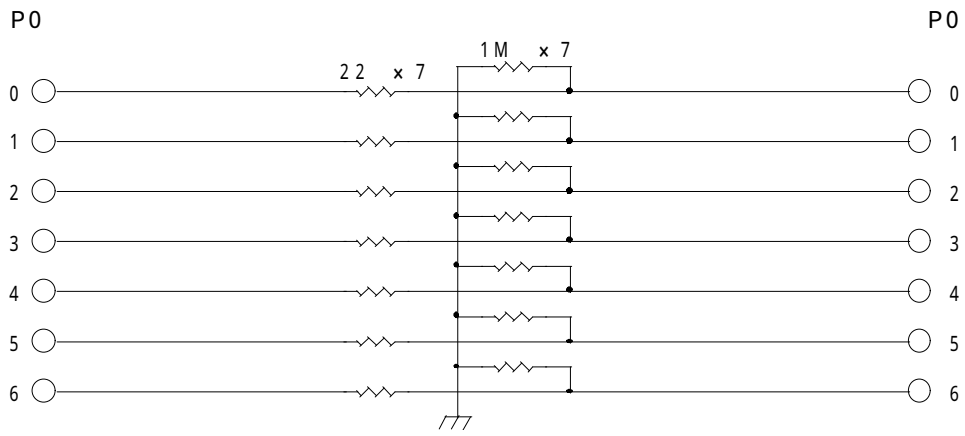
- AVREF0,1
- AVSS

AVDD端子に供給する電圧は、ND-K421内では使用していません。エミュレーションCPUのAVDD端子へはND-K421内の電源、またはTP1に供給される電源を供給しています。

《エミュレーション回路の等価回路 1》

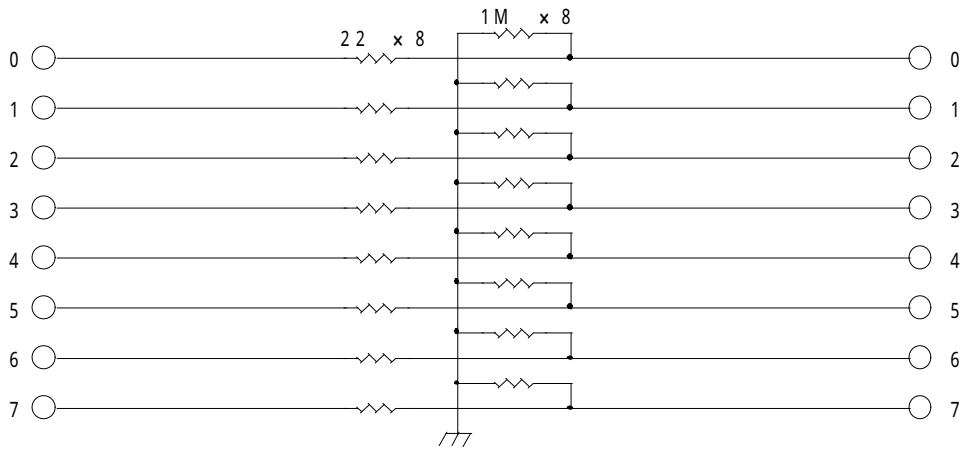
プローブ側

ND - K421側



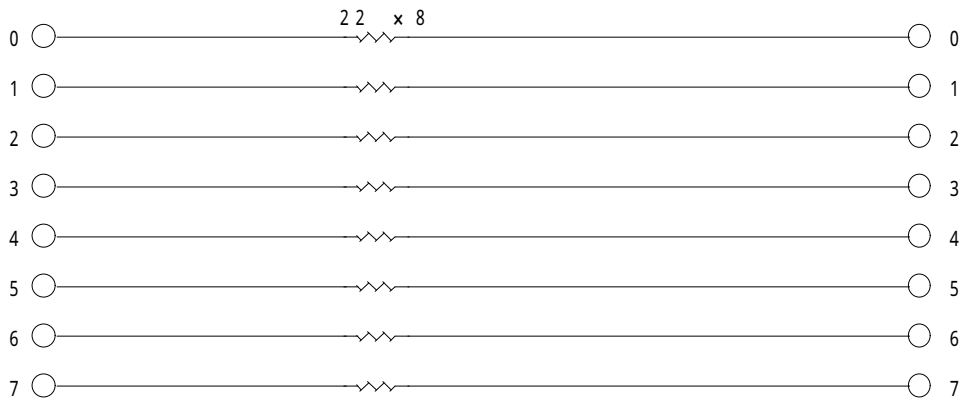
P2, 3, 12

P2, 3, 12



P4, 5, 6, 8

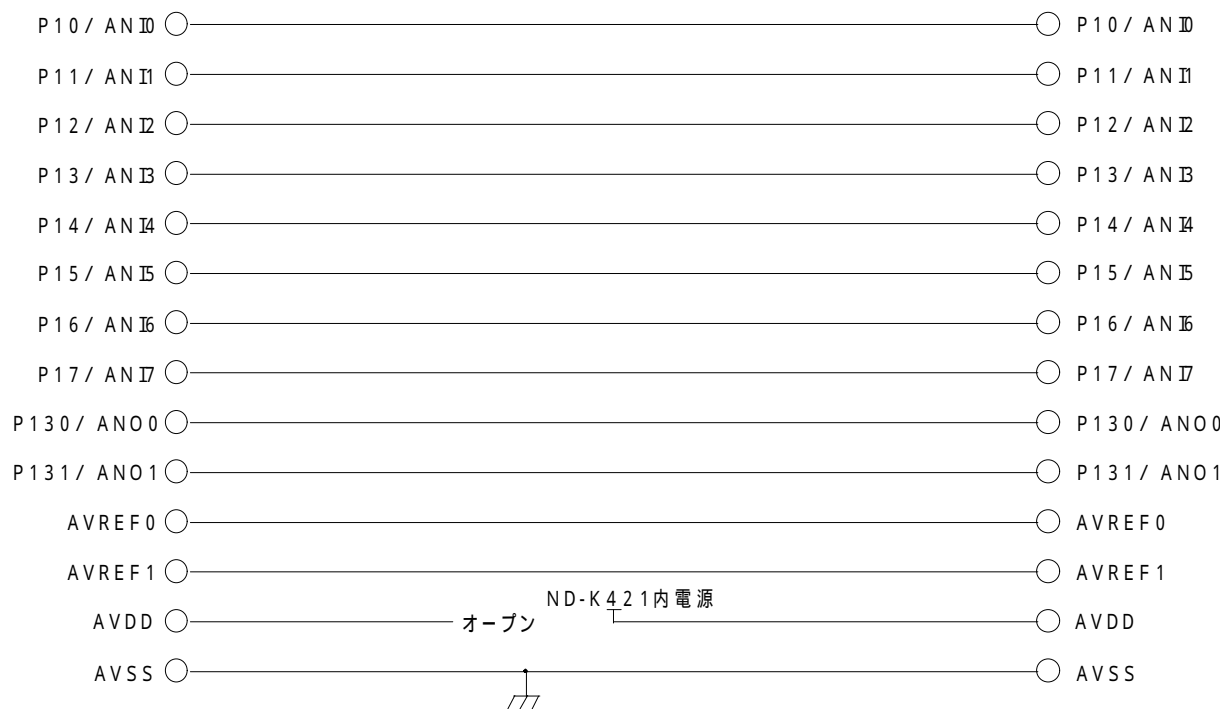
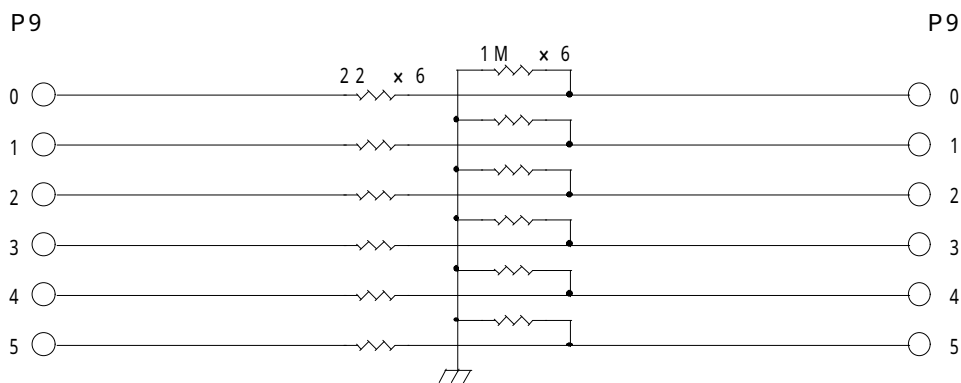
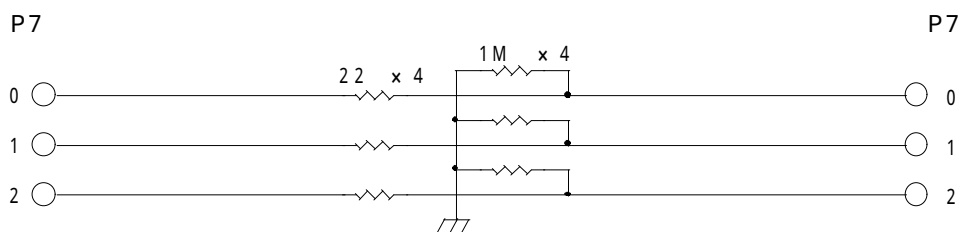
P4, 5, 6, 8



《エミュレーション回路の等価回路 2》

プローブ側

ND - K421側



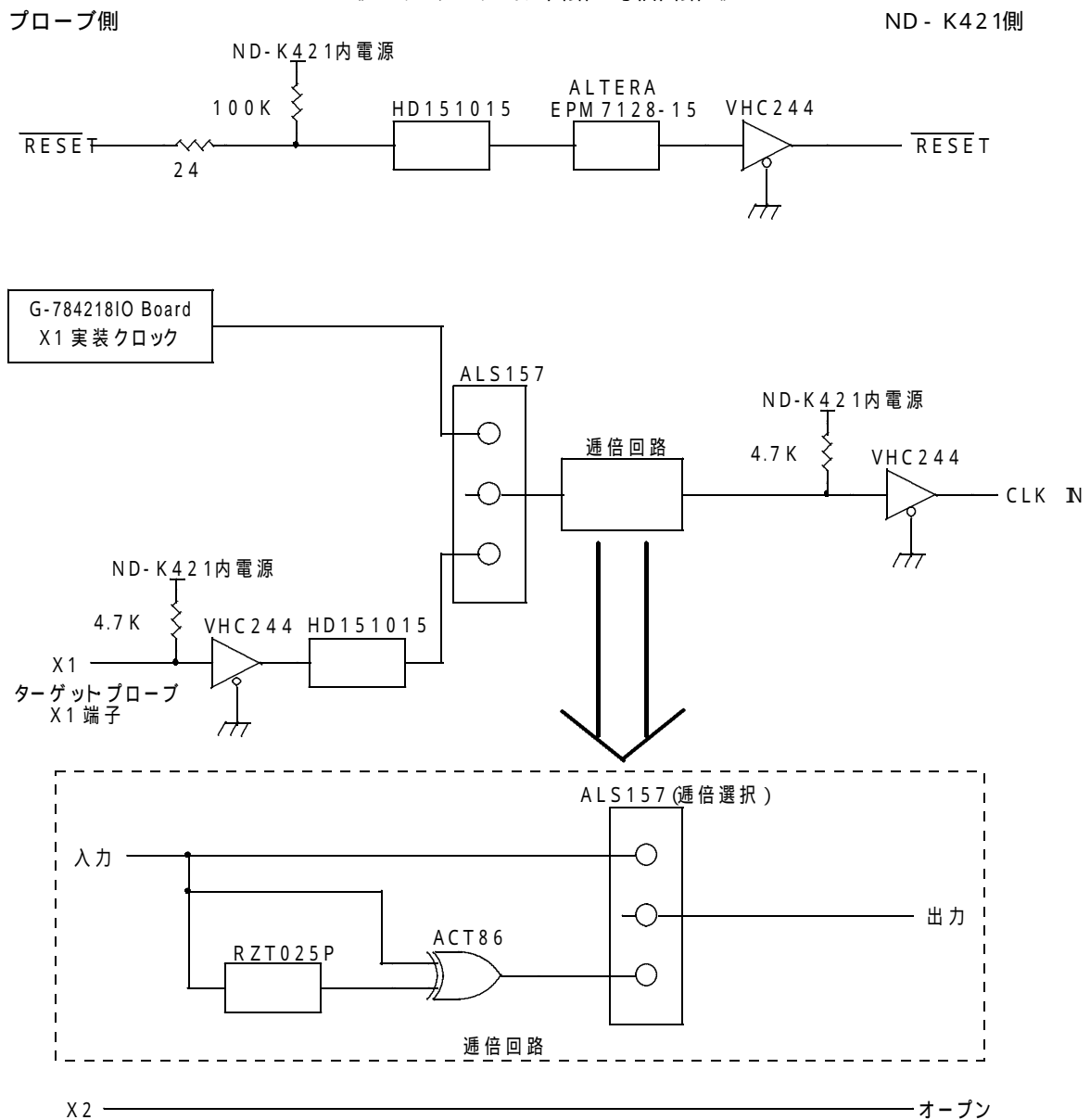
(2) ターゲットシステムからゲートを通して入力される信号 (エミュレーション回路の等価回路 3、4)

次の信号は、ゲートを通して入力されるため、μPD784218シリーズより信号が遅れます。そのため、AC特性、DC特性も異なります。μPD784218シリーズよりタイミング設計を厳しくする必要があります。

RESET信号  
 クロック入力関係の信号

ターゲット・システムからの入力信号のうちRESET信号、クロック入力関係の信号は、ロジックICを通してエパチップに入力されます。従って、μPD784218シリーズとはDC特性が異なります。また、ゲートを通すことにより信号が遅れますのでAC特性も異なります。

《エミュレーション回路の等価回路 3》

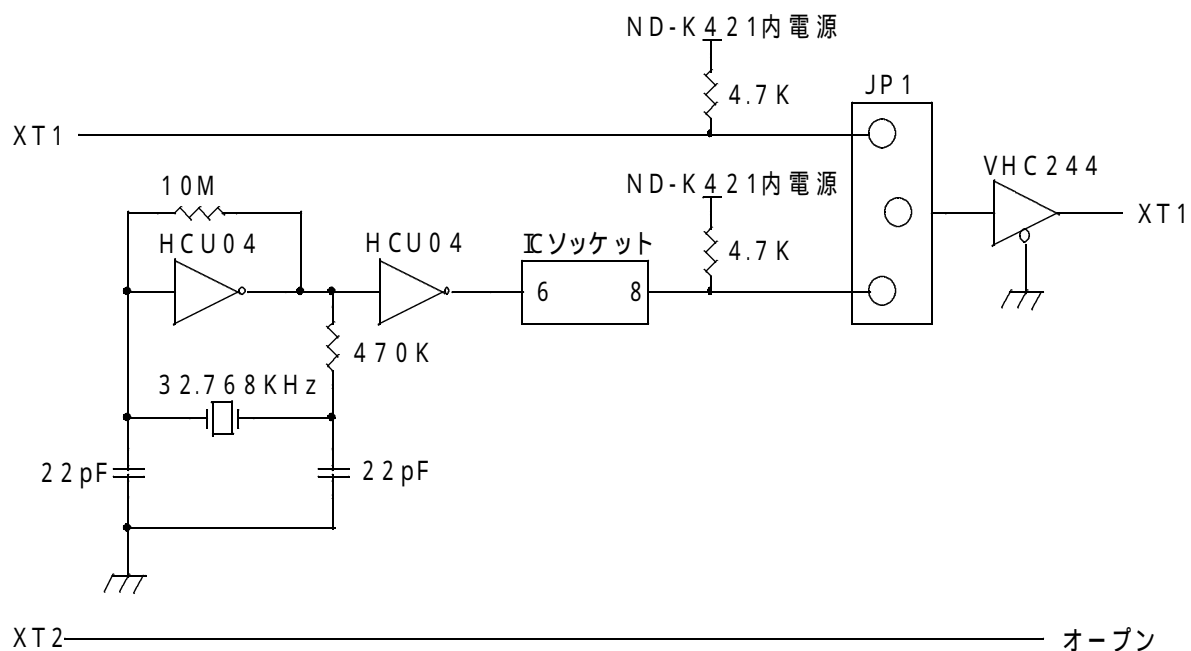


通信回路を選択するかはディップスイッチ(SW1)のENM PIにより決まります。  
 通信回路を選択しない場合は入力した周波数のままND-K421に供給され、通信回路を選択した場合は入力した2倍の周波数がND-K421に供給されます。

《エミュレーション回路の等価回路 4》

プローブ側

ND - K421側



(3) その他の信号

V<sub>DD</sub> 端子

エミュレーションCPUの電源は、5V動作時はND-K421内の電源、低電圧動作時は低電圧供給端子(TP1)から供給しています。ターゲット・システムのV<sub>DD</sub>端子はND-K421ではターゲット・システムの電源が入っていることをモニタするLED(TVCC)のコントロールのみに使用しています。

V<sub>SS</sub> 端子

V<sub>SS</sub> 端子はND-K421内でGNDに接続されています。

TEST 端子

ND-K421では使用していません。

## 第 5 章 制限事項

### (1) 実行前ブレークの禁止

不具合現象：実行前ブレークを設定しているとエミュレーションCPUが暴走する可能性があります。

対策：実行前ブレーク設定は、OFFで使用して下さい。