



ND - K 9 2 3 4
ユーザーズ・マニュアル

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。
PC/ATは、米国IBM Corp.の商標です。

- 本資料に記載されている内容は、今後、予告なく変更することがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。

(注)

(1) 本事項において使用されている「当社」とは、株式会社内藤電誠町田製作所をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

製品概要 ND-K9234 は、NEC エレクトロニクス社製 8 ビット・シングルチップ・マイクロコンピュータ 78K/0S シリーズのうち、次に示す対象デバイスのディバグに使用します。

- ・ 78K0S/KU1+ : μ PD78F9200 , μ PD78F9201 , μ PD78F9202
- ・ 78K0S/KY1+ : μ PD78F9210 , μ PD78F9211 , μ PD78F9212
- ・ 78K0S/KA1+ : μ PD78F9221 , μ PD78F9222
- ・ 78K0S/KB1+ : μ PD78F9232 , μ PD78F9234

**注意：本エミュレータには使用制限がありますのでご注意ください。
詳しくは「付録 B 使用制限」を参照してください。**

対象者 このマニュアルは、ND-K9234 にてシステム・ディバグを行うエンジニアを対象としています。このマニュアルを読むエンジニアは上記対象デバイスの機能と使用方法を熟知し、統合ディバガの知識があることを前提としています。

目的 このマニュアルは、ND-K9234 にて実現している各種ディバグ機能を理解していただくことを目的とします。

用語について

このマニュアルの中で使用する用語について、その意味を下表に示します。

用語	意味
エミュレーション・デバイス	エミュレータ内で対象デバイスのエミュレーションを行っているデバイスの総称です。エミュレーションCPUを含みます。
エミュレーションCPU	エミュレータ内で、ユーザが作成したプログラムを実行しているCPU部分です。
対象デバイス	エミュレーションの対象となっているデバイスです。
ターゲット・システム	ターゲット・プログラム、およびユーザの作成したハードウェアを含みます。狭義にはハードウェアのみを指します。

凡例	データ表記の重み	:	左が上位桁、右が下位桁
	注)	:	本文中に付けた注の説明
	【注意】	:	特に気をつけて読んでいただきたい内容
	〔備考〕	:	本文の補足説明

関連資料 関連資料（ユーザズ・マニュアル）は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

資料名	資料番号	
	和文	英文
ND-K9234 エミュレーション・ボード	このマニュアル	-
NW-78K0H-32/NW-78K9-32ユーザズ・マニュアル	デバッカ添付	-
FP-LITE2	作成中	作成中
FL-PR4	作成済み	作成済み
CC78K0S Ver.1.50以上 操作編	U16654J ¹	U16654E ¹
RA78K0S Ver.1.40以上 操作編	U16656J ¹	U16656E ¹
PM plus Ver.5.10 ユーザズ・マニュアル	U16569J ¹	U16569E ¹
78K0S/KU1+, 78K0S/KY1+	U16994J ¹	U16994E ¹
78K0S/KA1+	U16898J ¹	U16898E ¹
78K0S/KB1+	作成中	作成中

1、NEC エレクトロニクス株式会社の資料番号です。

本製品の取り扱いに関する一般的な注意事項

製品保障外となる場合

- ・本製品をお客様自身により分解、改造、修理した場合
- ・落下、倒れなど強い衝撃を与えた場合
- ・過電圧での使用、保障温度範囲外での使用、保障温度範囲外での保存
- ・電源、PC インタフェース・ケーブル、ターゲット・システムとの接続が不十分な状態で電源を投入した場合
- ・電源のケーブル、PC インタフェース・ケーブル、エミュレーション・プローブなどに過度の曲げ、引っ張りを与えた場合
- ・システム構成で記載されている電源以外を使用した場合
- ・本製品を濡らしてしまった場合
- ・本製品のGNDとターゲット・システムのGNDに電位差がある状態で本製品とターゲット・システムを接続した場合
- ・本製品の電源投入中にコネクタやケーブルの抜き差しを行った場合
- ・コネクタやソケットに過度の負荷を与えた場合

安全上の注意

- ・長時間使用していると、高温（50～60 程度）になることがあります。低温やけどなど、高温になることによる障害にご注意ください。
- ・感電には十分注意をしてください。上記、**製品保障外となる場合**に書かれているような使用方法をすると感電する恐れがあります。

目 次

目 次	5
第1章 概 説	6
1.1 システム構成	7
1.2 ハードウェア構成	9
1.3 基本仕様	10
第2章 各部の名称	11
2.1 本体およびボードの各部の位置と名称	12
2.2 スイッチおよびジャンパの初期設定	16
第3章 設 置	17
3.1 プロブ・インタフェース変換ボードの設置	17
3.2 接 続	17
3.2.1 ターゲット・システムとの接続方法	17
3.3 ND-K9234 のスイッチおよびジャンパ設定	22
3.4 ターゲット・インタフェースの電源電圧設定	23
3.5 クロックの設定	24
3.5.1 クロック設定の概要	24
3.5.2 メイン・システム・クロックの設定	25
3.6 外部トリガの設定	29
3.7 リセット・フラグのクリア用スイッチについて	30
3.8 POC、LVI機能のエミュレーション	30
3.9 電源投入と切断	30
3.10 オプション・バイトの設定	31
第4章 対象デバイスとターゲット・インタフェース回路の相違	32
付録A SIMPLE PROBE Board 結線表	36
付録B 使用制限	37

第 1 章 概 説

ND-K9234は、8ビット・シングルチップ・マイクロコンピュータ、78K/0Sシリーズのうち、次に示す対象デバイスを用いたハードウェア、またはソフトウェアを効率的にデバッグするための開発支援装置です。
この章では、ND-K9234 のシステム構成および基本仕様について説明します。

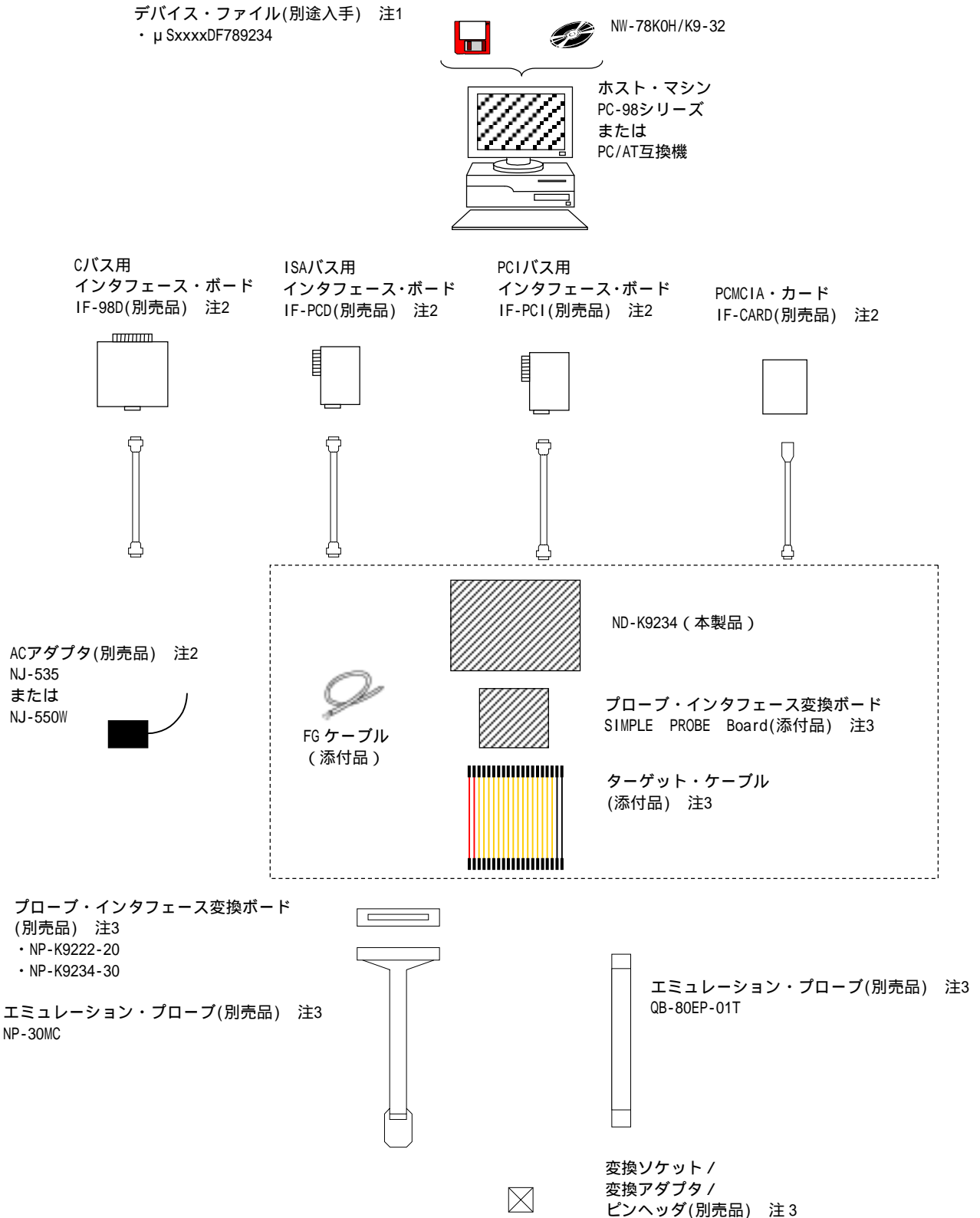
対象デバイス

- ・ 78K0S/KU1+ : μ PD78F9200、 μ PD78F9201、 μ PD78F9202
- ・ 78K0S/KY1+ : μ PD78F9210、 μ PD78F9211、 μ PD78F9212
- ・ 78K0S/KA1+ : μ PD78F9221、 μ PD78F9222
- ・ 78K0S/KB1+ : μ PD78F9232、 μ PD78F9234

1.1 システム構成

ND-K9234 のシステム構成は次のようになっています。

図 1 - 1 ND-K9234 のシステム構成



注1. デバイス・ファイルの詳細は以下のとおりです。

DF789234 V2.00 以上

- ・78K0S/KU1+ : μ PD78F9200、μ PD78F9201、μ PD78F9202
- ・78K0S/KY1+ : μ PD78F9210、μ PD78F9211、μ PD78F9212
- ・78K0S/KA1+ : μ PD78F9221、μ PD78F9222
- ・78K0S/KB1+ : μ PD78F9232、μ PD78F9234

デバイス・ファイルはNECエレクトロニクスのWebサイトからダウンロードできます。
(URL : <http://www.necel.com/micro/>)

注2. 内藤電誠町田製作所の製品です。

注3. プローブ・インタフェース変換ボード、ターゲット・ケーブル、エミュレーション・プローブ、ピン・ヘッダ、変換ソケット/変換アダプタについては、表1-1を参照してください。

表1-1 ターゲット・インタフェース構成一覧表

対象デバイス (パッケージ)	プローブ・インタフェース変換ボード	ターゲット・ケーブル/エミュレーション・プローブ	変換ソケット/変換アダプタ/ ピン・ヘッダ
78K0S/KU1+ (8pin SOP)	SIMPLE PROBE Board	ターゲット・ケーブル 8本 *1	ピン・ヘッダ 8本 *1 0.635 mm × 0.635 mm (高さ: 6 mm)
78K0S/KY1+ (16pin SSOP)	SIMPLE PROBE Board	ターゲット・ケーブル 16本 *1	ピン・ヘッダ 16本 *1 0.635 mm × 0.635 mm (高さ: 6 mm)
78K0S/KA1+ (20pin SSOP)	SIMPLE PROBE Board	ターゲット・ケーブル 20本 *1	ピン・ヘッダ 20本 *1 0.635 mm × 0.635 mm (高さ: 6 mm)
	NP-K9222-20 *2	NP-30MC 2	NSPACK20BK+YSPACK30BK *3
78K0S/KB1+ (30pin SSOP)	SIMPLE PROBE Board	ターゲット・ケーブル 30本 *1	ピン・ヘッダ 30本 *1 0.635 mm × 0.635 mm (高さ: 6 mm)
		QB-80-EP-01T *4	QB-30MC-EA-01T *4 QB-30MC-YQ-01T *4 QB-30MC-NQ-01T *4
	NP-K9234-30 *2	NP-30MC *2	NSPACK30BK+YSPACK30BK *3

*1 ターゲット・システム上に 40 ピン IDE コネクタを実装した場合、ターゲット・ケーブルを使わず、40 ピン IDE ケーブル (ATA33 規格) を使用することもできます。

*2 別売品: 株式会社内藤電誠町田製作所の製品です。

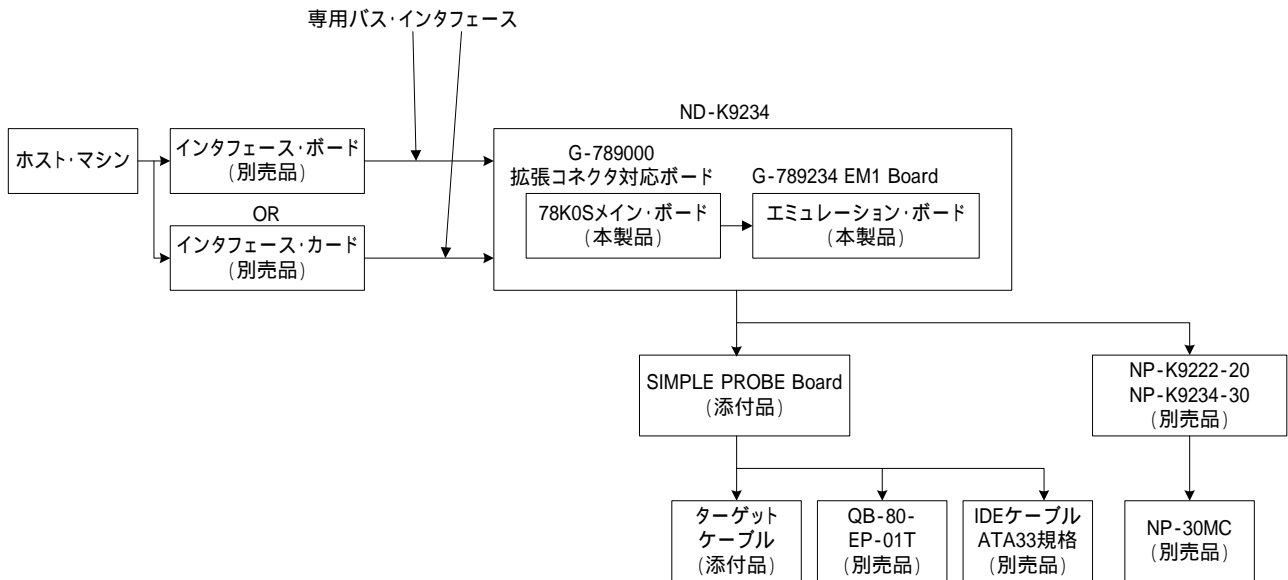
*3 別売品: 東京エレテック株式会社の製品です。

*4 別売品: NEC エレクトロニクス株式会社の製品です。

1.2 ハードウェア構成

ND-K9234 の位置付けは、下図のとおりです。

図1-2 ハードウェア構成



1.3 基本仕様

表 1 - 2 基本仕様

項 目	内 容
スーパーバイザ	V40 ^① (動作周波数) 16.0MHz
対象デバイス	<ul style="list-style-type: none"> ・ 78K0S/KU1+ : μ PD78F9200、μ PD78F9201、μ PD78F9202 ・ 78K0S/KY1+ : μ PD78F9210、μ PD78F9211、μ PD78F9212 ・ 78K0S/KA1+ : μ PD78F9221、μ PD78F9222 ・ 78K0S/KB1+ : μ PD78F9232、μ PD78F9234
システム・クロック	内蔵低速 Ring-OSC : 240KHz 内蔵高速 Ring-OSC : 8.0MHz メイン・システム・クロック : 10.0MHz (MAX)
クロック供給	外部 : パルス入力 内部 : エミュレーション・ボード上に実装
マッピング単位	内部ROM 256B (MAX48KB) 内部高速RAM 8B (MAX 1KB)
エミュレーション機能	リアルタイム実行 ブレーク実行 ステップ実行
モニタ RAM	空間 内部RAM領域全て タイミング データアクセス
イベント検出	プログラム実行検出 バス・イベント検出 外部トリガ検出
イベント統	パスカウント トレース・クオリファイ条件 ディレイ条件 トリガ条件
ブレーク要因	イベント・ブレーク マニュアル・ブレーク コマンド・ブレーク フェイル・セーフ・ブレーク
リアル・タイム・トレース トレース要因 トレース容量 トレース内容	全トレース クオリファイ・トレース 64bit×8K アドレス、データ、ステータス
実行時間測定	最大4分28秒 分解能 : 62.5ns
ターゲット・インタフェース	20ピン、30ピン用のプローブを用意
ホスト・インタフェース	専用バス・インタフェース
ターゲット・インタフェース電源電圧	2.0V ~ 5.5V (対象デバイスと同じ)
ホストマシン	PC-98シリーズ、PC/AT互換機
電源	DC 5V
外形寸法	W 235 mm×D 195 mm×H 54.5mm

第 2 章 各部の名称

この章では、ND-K9234 の本体各部の名称と出荷時設定を説明します。

梱包箱の中には下記のものが入っています。

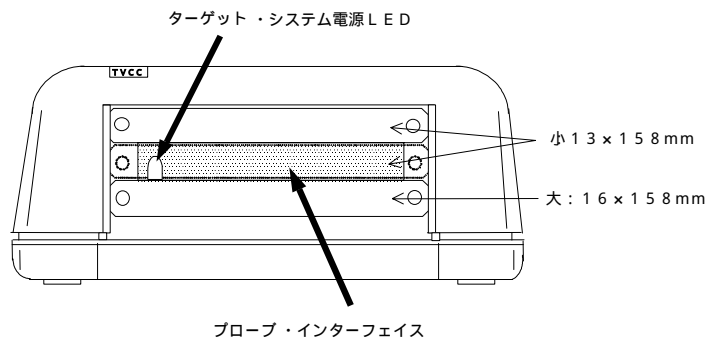
・エミュレーション・ボード (ND-K9234)	: 1 枚
・プローブ・インタフェース変換ボード (SIMPLE PROBE Board)	: 1 枚
・ターゲット・ケーブル (赤 2 本、黒 2 本、黄 26 本)	: 1 セット
・スペーサ (31mm)	: 2 本
・スペーサ (7mm)	: 2 本
・ネジ (スペーサ用)	: 4 本
・梱包明細書	: 1 通
・ユーザーズ・マニュアル	: 1 冊
・保証書	: 1 通
・F Gケーブル	: 1 本
・ND-K9234/EM-K9234 使用上の留意点	: 1 部

万一、不足や破損などがありましたら、販売員までご連絡ください。

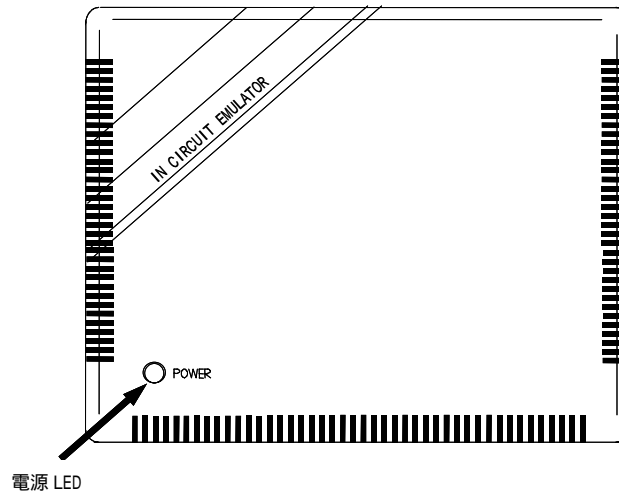
また、添付の保証書は、それぞれの項目にご記入のうえ必ずご返送ください。

2.1 本体およびボードの各部の位置と名称

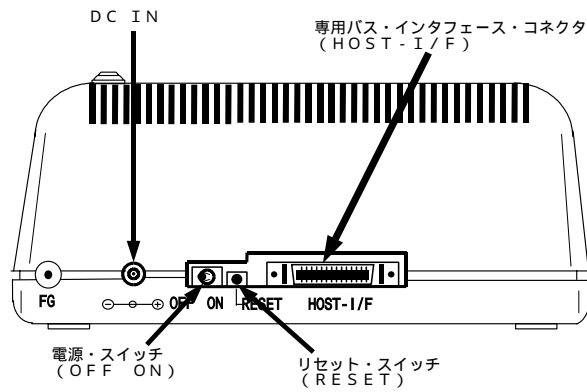
(1) フロート面



(2) 上面



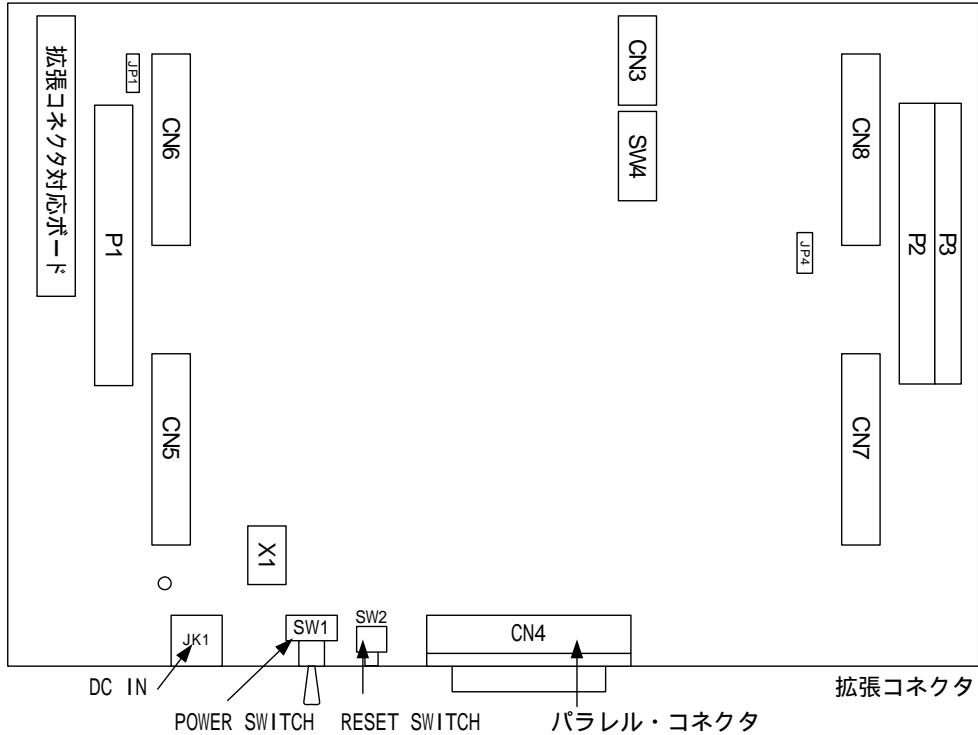
(3) インタフェース面



(4) ボード

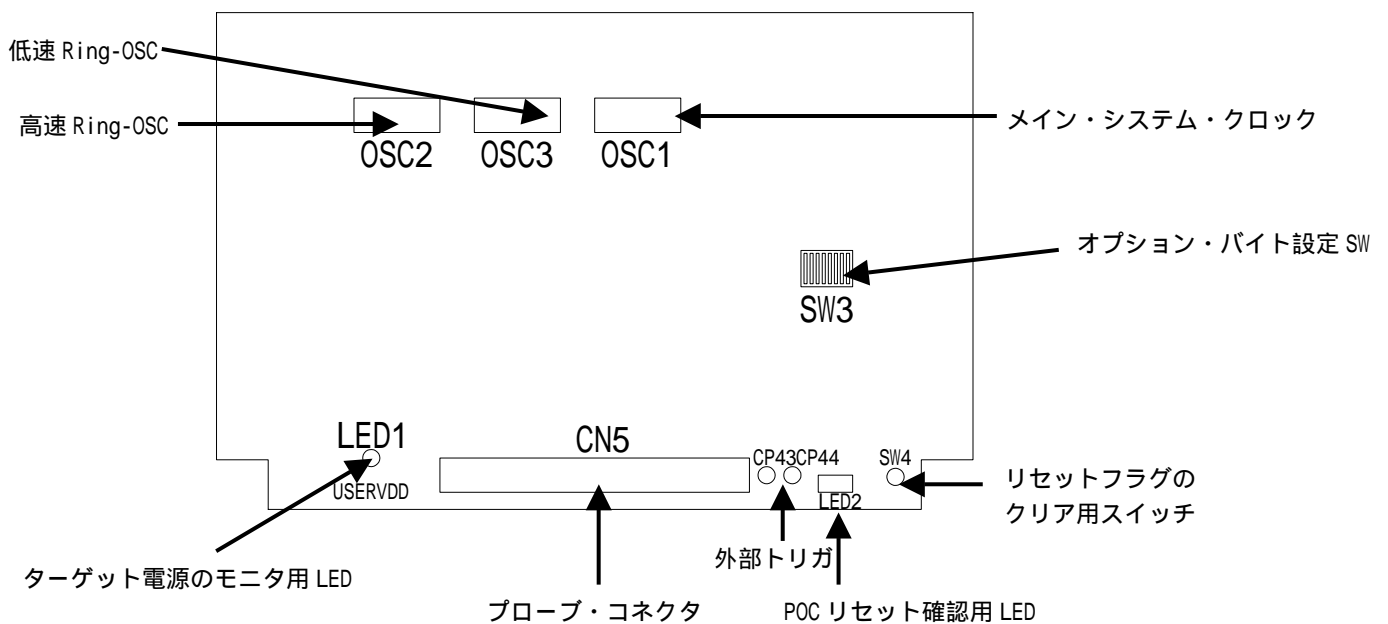
(A) メイン・ボード(G-780009 Board 拡張コネクタ対応ボード)

図2 - 1 G-780009 Board 拡張コネクタ対応ボードの各部の名称



(B) エミュレーション・ボード (G-789234 EM1 Board)

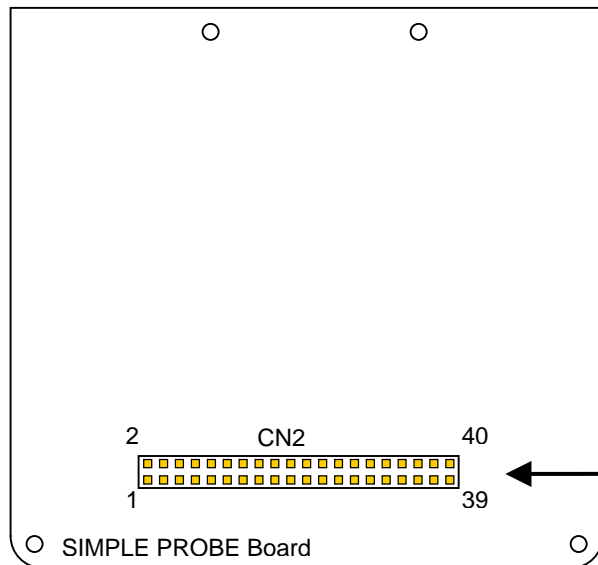
図2 - 2 G-789234 EM1 Boardの各部の名称



(C)プローブ・インタフェース変換ボード (SIMPLE PROBE Board)

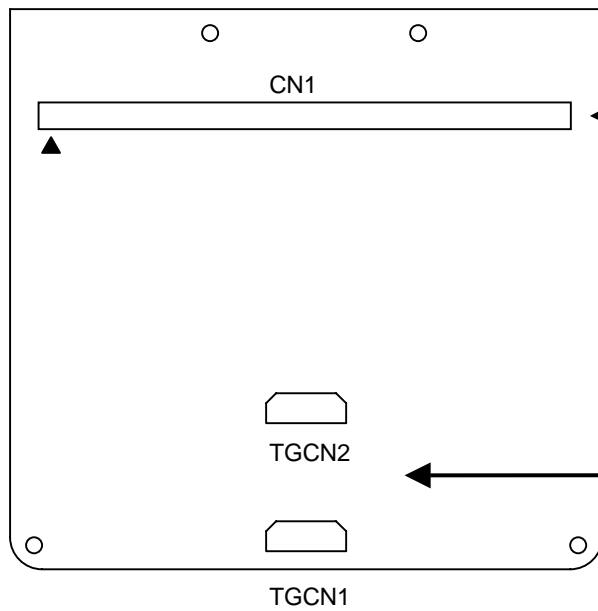
図 2 - 3 SIMPLE PROBE Board の各部の名称

Top View



ターゲット・ケーブル
接続用コネクタ

Bottom View

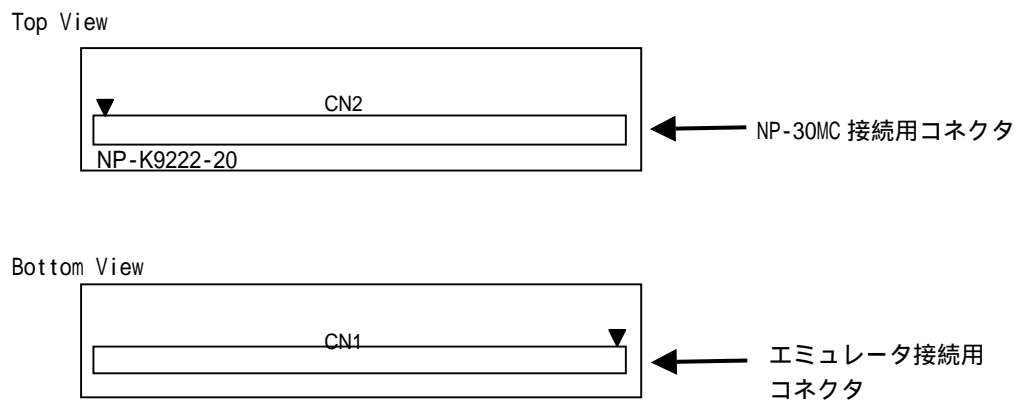


エミュレータ接続用
コネクタ

QB-80-EP-01T 接続用
コネクタ

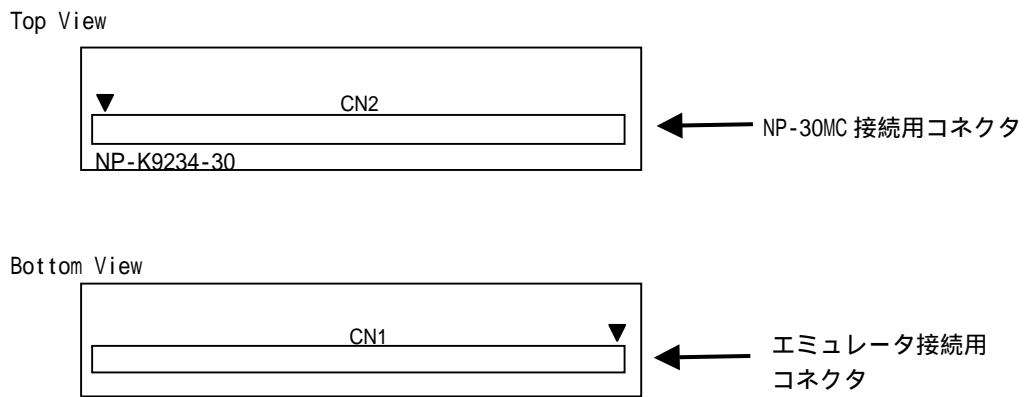
(D)プローブ・インタフェース変換ボード (NP-K9222-20 : 別売品)

図 2 - 4 NP-K9222-20 の各部の名称



(E)プローブ・インタフェース変換ボード (NP-K9234-30 : 別売品)

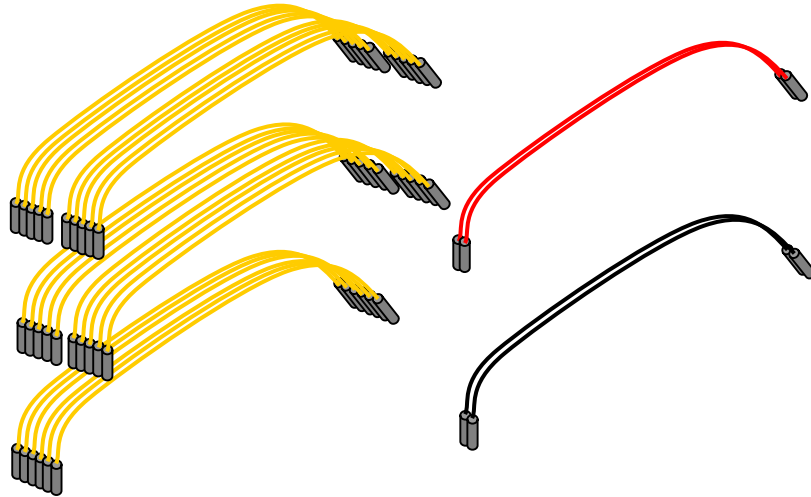
図 2 - 5 NP-K9234-30 の各部の名称



(5) ターゲット・ケーブル (30本)

- 赤 : 電源ライン用 250 mm (VDD、AVREF 端子接続用) 2本
- 黒 : GNDライン用 250 mm (VSS、AVSS 端子接続用) 2本
- 黄色 : 一般信号用 250 mm 26本

図2 - 6 ターゲット・ケーブル



2.2 スイッチおよびジャンパの初期設定

表2 - 1 メイン・ボード(G-789000 Board 拡張コネクタ対応ボード)スイッチ及びジャンパ初期設定

スイッチ	SW1	SW3	SW4	JP1	JP4
初期設定	OFF	ALL ON (固定)	ALL ON (固定)	2-3	1-2

表2 - 2 エミュレーション・ボード(G-789234 EM1 Board)スイッチ初期設定

スイッチ	SW3-8	SW3-7	SW3-6	SW3-5	SW3-4	SW3-3	SW3-2	SW3-1
初期設定	1側 (固定)	1側	1側	1側 (固定)	1側	1側	1側	1側

注意：固定設定は変更しないでください。

2.3 その他の初期設定

表2 - 3 クロック設定

項目	設定内容	備考
OSC1	10MHz の発振器 (ソケット実装)	メイン・システム・クロックとして周波数：10MHz を供給 周波数変更可
OSC2	8MHz の発振器実装	内蔵高速 Ring-OSC として周波数：8MHz を供給 周波数変更不可
OSC3	1.92MHz の発振器実装	8分周し、内蔵低速 Ring-OSC として周波数：240kHz を供給 周波数変更不可

第3章 設 置

この章では、ND-K9234、プローブ・インタフェース変換ボードを、エミュレーション・プローブなどへ接続する方法について説明します。

また、各モード設定を行う方法についてもあわせて説明します。

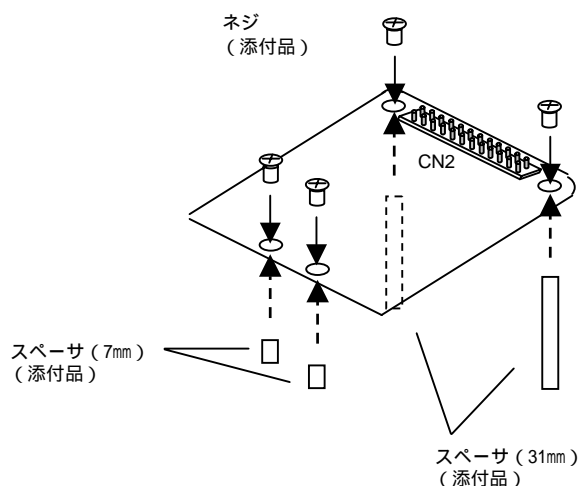
【注意】 ターゲット・システムとの接続、取り外し、およびスイッチなどの設定変更は、ND-K9234 およびターゲット・システムの電源をOFFにしてから行ってください。

3.1 プローブ・インタフェース変換ボードの設置

(1) SIMPLE PROBE Board とスペーサの組み立て

SIMPLE PROBE Board に添付のネジで4本のスペーサを取り付けてください。

図3-1 SIMPLE PROBE Board とスペーサの組み立て



3.2 接 続

3.2.1 ターゲット・システムとの接続方法

ND-K9234 にプローブ・インタフェース変換ボードを取り付け、ターゲット・ケーブルまたはエミュレーション・プローブと接続する方法について説明します。なお、対象デバイスに対するプローブ・インタフェース変換ボード、ターゲット・ケーブル、エミュレーション・プローブの組み合わせは以下の表の通りです。

表3-1 プローブ・インタフェース変換ボード、ターゲット・ケーブル、エミュレーション・プローブの組み合わせ

対象デバイス (パッケージ)	プローブ・インタフェース変換ボード	ターゲット・ケーブル/エミュレーション・プローブ
78K0S/KU1+ (8pin SOP)	SIMPLE PROBE Board	ターゲット・ケーブル 8 本
78K0S/KY1+ (16pin SSOP)	SIMPLE PROBE Board	ターゲット・ケーブル 16 本
78K0S/KA1+ (20pin SSOP)	SIMPLE PROBE Board	ターゲット・ケーブル 20 本
	NP-K9222-20 *1	NP-30MC *1
78K0S/KB1+ (30pin SSOP)	SIMPLE PROBE Board	ターゲット・ケーブル 30 本
		QB-80-EP-01T *2
	NP-K9234-30 *1	NP-30MC *1

*1 別売品 : 株式会社内藤電誠町田製作所の製品です。

*2 別売品 : NEC エレクトロニクス株式会社の製品です。

(1) ターゲット・ケーブルの接続方法

対象デバイスのピン数と同じ本数のターゲット・ケーブルをプローブ・インタフェース変換ボード (SIMPLE PROBE Board) に接続してください。対象デバイスとのピン対応表を表3 - 2 に示します。() 内は対象デバイスのピン番号です。

- ・78K0S/KU1+ 赤：VDD 端子接続用 1本 / 黒：VSS 端子接続用 1本 / 黄色：一般信号用 6本
- ・78K0S/KY1+ 赤：VDD 端子接続用 1本 / 黒：VSS 端子接続用 1本 / 黄色：一般信号用 14本
- ・78K0S/KA1+ 赤：VDD、AVREF 端子接続用 2本 / 黒：VSS 端子接続用 1本 / 黄色：一般信号用 17本
- ・78K0S/KB1+ 赤：VDD、AVREF 端子接続用 2本 / 黒：VSS、AVSS 端子接続用 2本 / 黄色：一般信号用 26本

表3 - 2 SIMPLE PROBE Board の対象デバイス端子対応表

CN2 ^{*3}	78K0S/KU1+ (8ピン)	78K0S/KY1+ (16ピン)	78K0S/KA1+ (20ピン)	78K0S/KB1+ (30ピン)
1	-	-	AVREF (20)	AVREF (28)
2	-	-	-	AVSS (29)
3	P20/ANI0/TI000/TOH1 (7)	P20/ANI0/TI000/TOH1 (1)	P20/ANI0 (19)	P20/ANI0 (27)
4 ^{*1}	-	-	-	-
5	P21/ANI1/TI010/TO/INTP0(6)	P21/ANI1/TI010/TO/INTP0(16)	P21/ANI1 (18)	P21/ANI1 (26)
6 ^{*1}	-	-	-	-
7	P22/ANI2/X2 (3)	P22/ANI2/X2 (9)	P22/ANI2 (17)	P22/ANI2 (25)
8 ^{*1}	-	-	-	-
9	P23/ANI3/X1 (2)	P23/ANI3/X1 (8)	P23/ANI3 (16)	P23/ANI3 (24)
10 ^{*1}	-	-	-	-
11	VDD (1)	VDD (5)	VDD (5)	VDD (7)
12 ^{*1}	VSS (8)	VSS (4)	VSS (1)	VSS (6)
13	-	-	-	P120 (30)
14 ^{*1}	-	-	-	-
15	-	-	P121/X1 (2)	P121/X1 (8)
16 ^{*1}	-	-	-	-
17	-	-	P122/X2 (3)	P122/X2 (9)
18 ^{*1}	-	-	-	-
19	-	-	P123 (4)	P123 (5)
20 ^{*2}	-	-	-	-
21	-	-	-	P00 (4)
22	-	P40 (3)	P40 (9)	P40 (15)
23	-	-	-	P01 (3)
24	-	P41 (2)	P41/INTP3 (10)	P41/INTP3 (16)
25	-	-	-	P02 (2)
26	-	P42 (15)	P42/TOH1 (11)	P42/TOH1 (17)
27	-	-	-	P03 (1)
28	-	P43 (14)	P43/TxD6/INTP1 (12)	P43/TxD6/INTP1 (18)
29	-	-	P130 (15)	P130 (23)
30	-	P44 (11)	P44/RxD6 (13)	P44/RxD6 (19)
31	-	-	P30/TI000/INTP0 (8)	P30/TI000/INTP0 (14)
32	-	P45 (10)	P45 (14)	P45 (20)
33	-	-	P31/TI010/T000/INTP2 (7)	P31/TI010/T000/INTP2 (13)
34	-	P46 (7)	-	P46 (21)
35	P32/INTP1 (5)	P32/INTP1 (13)	-	P32 (12)
36	-	P47 (6)	-	P47 (22)
37	-	-	-	P33 (11)
38 ^{*1}	-	-	-	-
39	P34/RESET (4)	P34/RESET (12)	P34/RESET (6)	P34/RESET (10)
40 ^{*1}	-	-	-	-

*1：GND 端子です。各 GND 端子は SIMPLE PROBE Board 上で VSS (12 ピン) と接続されています。

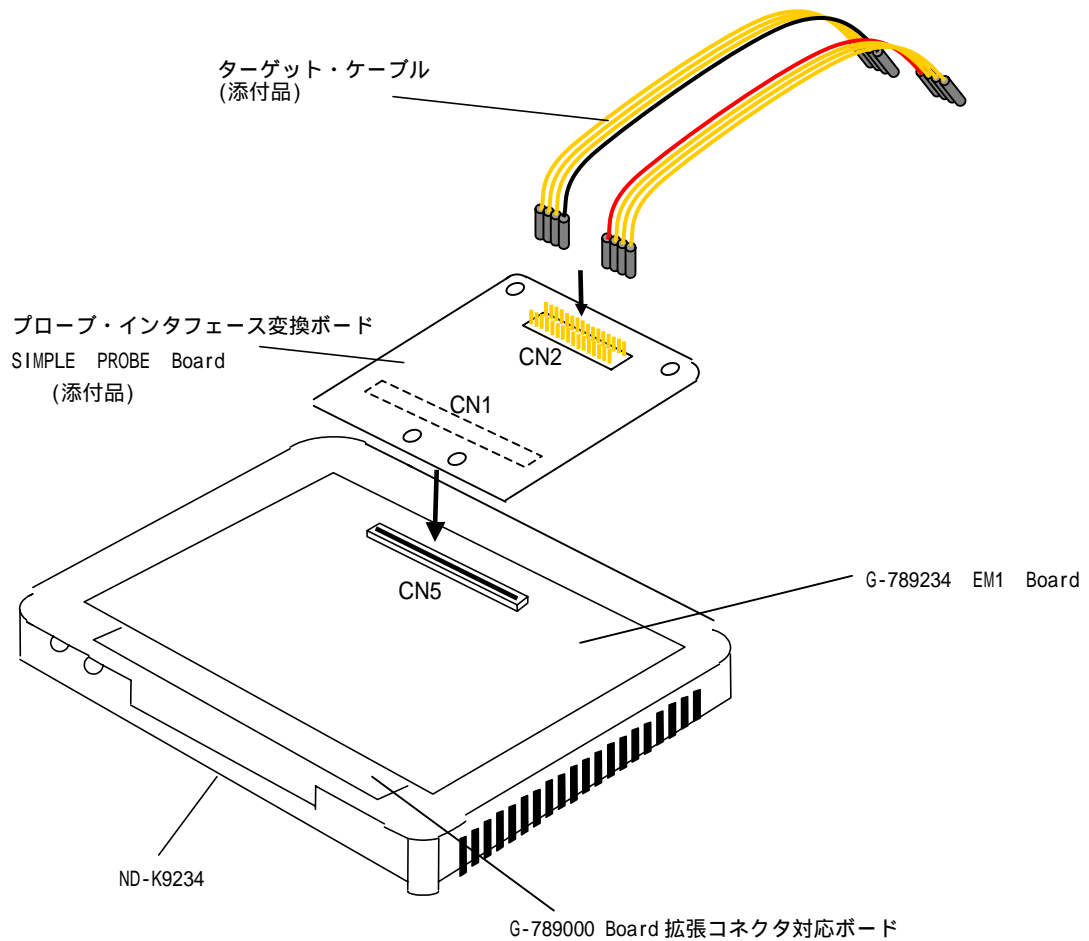
*2：Non Connect 端子です。

*3：CN2 とは SIMPLE PROBE Board 上のコネクタです。

注意:対象デバイスに存在しない端子(" - "表記の端子)がターゲット・システムに接続されている場合は、ターゲット・システム側でオープンにしてください。40ピン IDE ケーブル(ATA33 規格)を使用する際は、気をつけてください。

- 1) G-789234 EM1 Board の CN5 と SIMPLE PROBE Board の CN1 を接続します。
 - 2) SIMPLE PROBE Board の CN2 と対象デバイスに対応するピン数のターゲット・ケーブルを接続します。
- “表 3 - 2 SIMPLE PROBE Board の対象デバイス端子対応表” を参照してください。

図 3 - 2 SIMPLE PROBE Board とターゲット・ケーブル

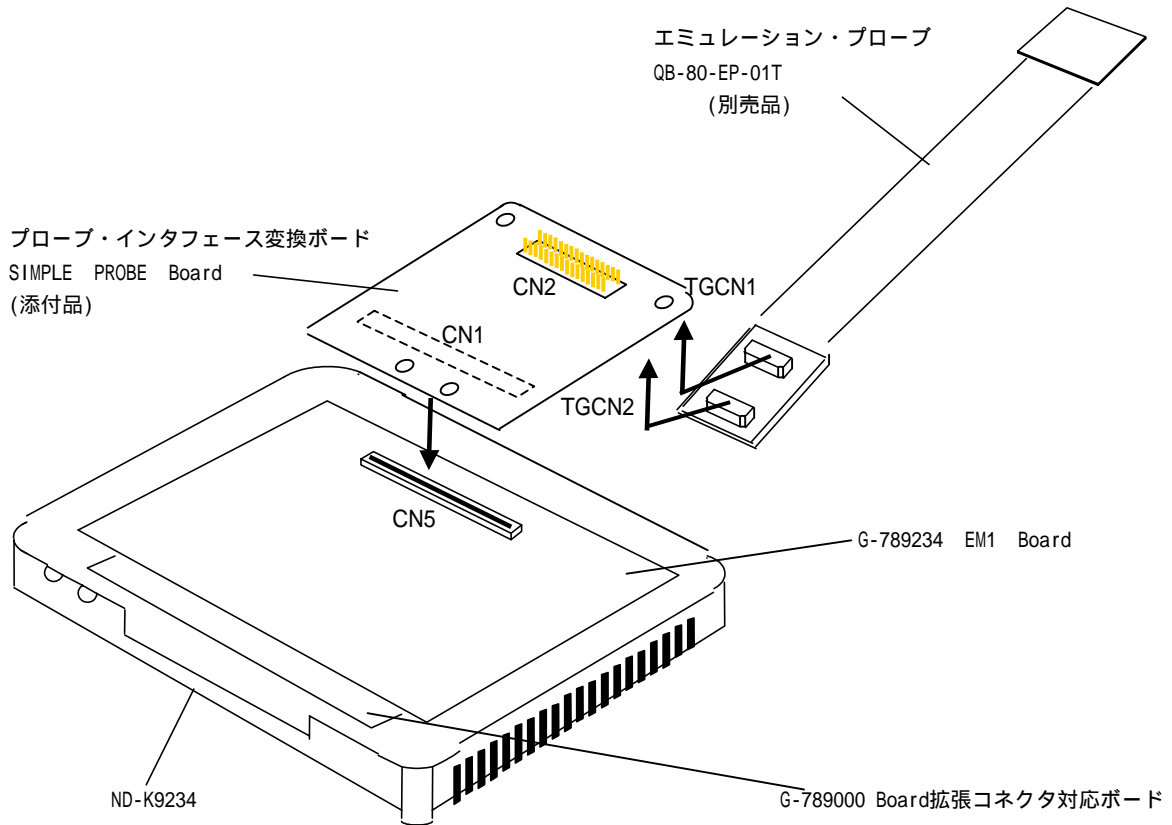


【注意】 接続方法を間違えますと、ND-K9234 またはターゲット・システムが破壊されることがあります。

(2) エミュレーション・プローブ (QB-80-EP-01T: 別売品 (NEC エレクトロニクス製品)) の接続方法
プローブ変換ボード (SIMPLE PROBE Board) のプローブ・コネクタ TGCN1、TGCN2 に接続してください。

- 1) G-789234 EM1 Board の CN5 と SIMPLE PROBE Board の CN1 を接続します。
- 2) SIMPLE PROBE Board の TGCN1、TGCN2 とエミュレーション・プローブを接続します。

図 3 - 3 QB-80-EP-01T と SIMPLE PROBE Board との接続



【注意】 接続方法を間違えますと、ND-K9234 またはターゲット・システムが破壊されることがあります。
なお、接続の詳細については、エミュレーション・プローブのユーザズ・マニュアルを参照してください。

(3) エミュレーション・プローブ (NP-30MC : 別売品) の接続方法

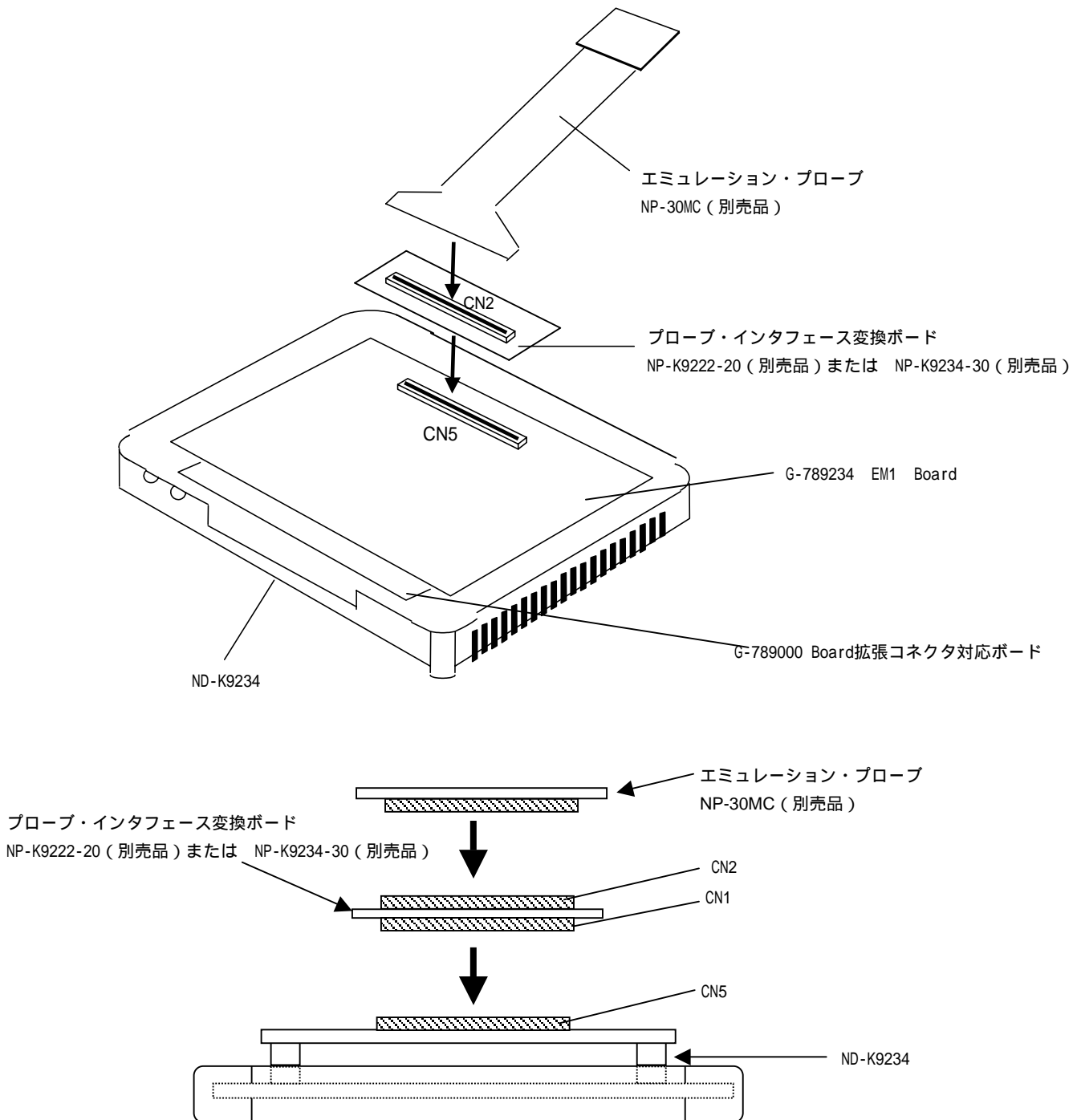
対象デバイスに対応するプローブ・インタフェース変換ボードを使用してください。

78K0S/KA1+エミュレーション時 : NP-K9222-20(別売品)

78K0S/KB1+エミュレーション時 : NP-K9234-30(別売品)

- 1) G-789234 EM1 BoardのCN5とプローブ・インタフェース変換ボードのCN1を接続します。
- 2) プローブ・インタフェース変換ボードのCN2とエミュレーション・プローブを接続します。

図3-4 NP-30MCとプローブ・インタフェース変換ボードの接続



【注意】 接続方法を間違えますと、ND-K9234 またはターゲット・システムが破壊されることがあります。なお、接続の詳細については、NP-K9222-20 または NP-K9234-30 のユーザーズ・マニュアルを参照してください。

3.3 ND-K9234 のスイッチおよびジャンパ設定

ND-K9234 を使用する際には、スイッチおよびジャンパ設定を下記のようにしてください。

(1) メイン・ボード(G-789000 Board 拡張コネクタ対応ボード)の設定

表 3 - 3 メイン・ボード(G-789000 Board 拡張コネクタ対応ボード)のスイッチおよびジャンパ設定

	SW1	SW3	SW4	JP1	JP4
設定	OFF	ALL ON (固定)	ALL ON (固定)	2-3	1-2

注意：固定設定は変更しないでください。

(2) エミュレーション・ボード(G-789234 EM1 Board)の設定

“ 3.10 オプション・バイトの設定 ” を参照してください。

3.4 ターゲット・インタフェースの電源電圧設定

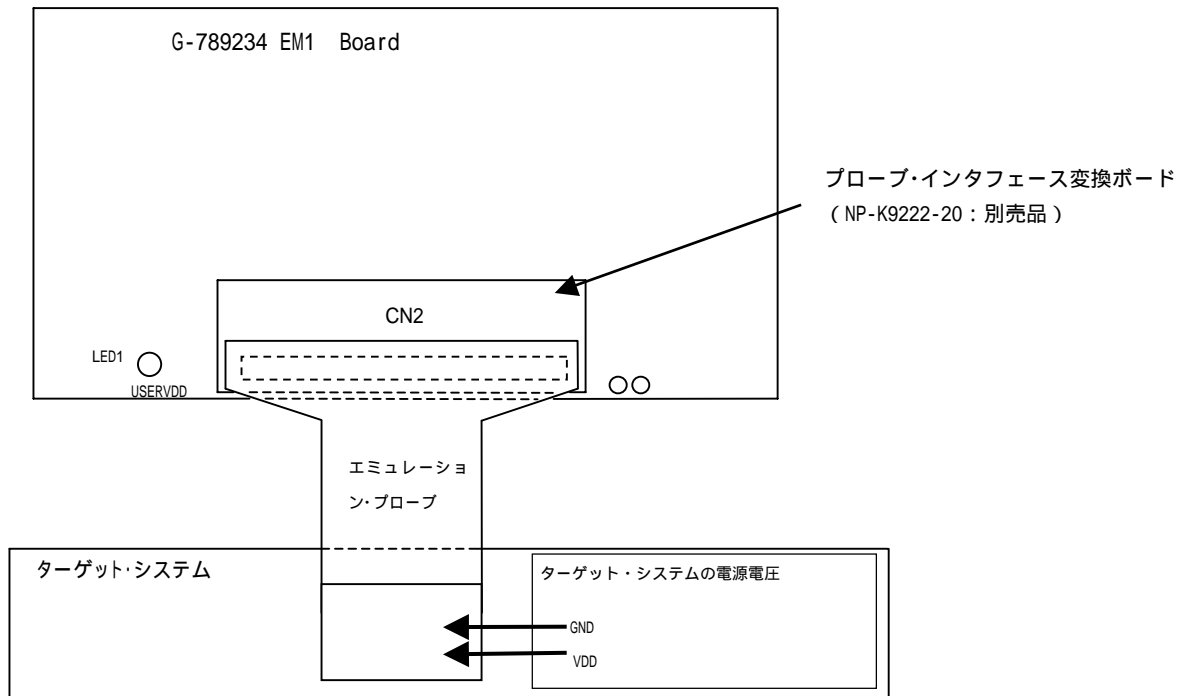
ND-K9234 はターゲット・システムの電源電圧と同レベルの電圧でエミュレーション可能です。
 (2.0V ~ 5.5V : 対象デバイスと同じ)

ターゲット・インタフェース電源電圧の設定内容を表 3-4 に示します。

表 3 - 4 ターゲット・インタフェースの電源設定

ターゲット・インタフェースの電源		統合ディバग्ガ (NW-78K9-32)
		動作電源選択
ターゲット・システムの電源を使用する場合	2.0V ~ 5.5V	Target
ND-K9234内の電源を使用する場合	5V	Internal

図 3 - 5 ターゲット・インタフェースの電源電圧設定 (NP-K9222-20 使用時)



- 【注意】(1)動作電圧としてターゲット・システム側の電源を使用する場合には、統合ディバग्ガ(NW-78K9-32)起動時にコンフィグレーション・ダイアログの動作電源選択選択エリア(Voltage)を“Target”に選択してください。
- (2) ND-K9234 では、ターゲット・システムの VDD 端子に供給される電圧を下記用途に使用しています。
 ターゲット・システムの電源が接続されていることをモニタする LED1(USERVDD)のコントロール
 ターゲット・インタフェース電源生成の基準電圧
- (3)ターゲット・システムとの接続、取り外しは、ND-K9234 およびターゲット・システムの電源を OFF にしてから行ってください。

3.5 クロックの設定

3.5.1 クロック設定の概要

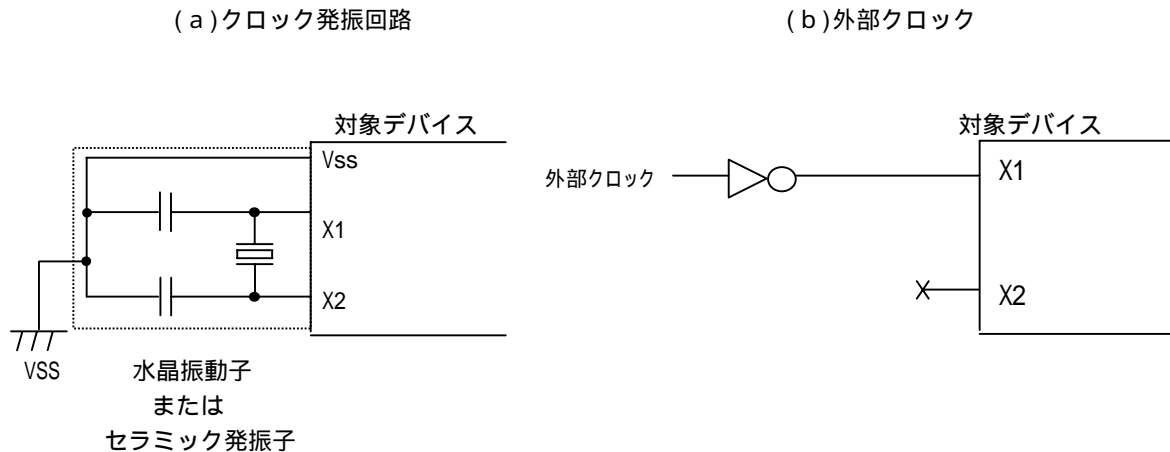
ディバグ時のメイン・システム・クロックは、次の(1)~(4)から選択できます。

- (1) エミュレーション・ボード (OSC1 ソケット) に実装済みのクロック
- (2) ユーザがエミュレーション・ボード (OSC1 ソケット) に実装するクロック
- (3) ターゲット・システムからクロックを入力
- (4) 内蔵高速 Ring-OSC

エミュレーション時には、ターゲット・システムに実装した発振回路 (図3-6 (a)) は使用しません。よってターゲット・システム上に、図3-6 (a) のようなクロック発振回路を組んでいる場合には、(1) エミュレーション・ボードに実装済みのクロック、(2) ユーザがエミュレーション・ボードに実装するクロック、(4) 内蔵Ring-OSCのいずれかを選択しご使用ください。クロック発振回路とは、対象デバイスに振動子/発振子を接続して対象デバイス内部の発振回路を使用することをいいます。

ターゲット・システム上に図3-6 (b) のような外部クロックを入力している場合には、(1) エミュレーション・ボードに実装済みのクロック、(2) ユーザがエミュレーション・ボードに実装するクロック、(3) ターゲット・システムからクロックを入力、(4) 内蔵Ring-OSCのいずれかを選択しご使用ください。外部クロックとは、ターゲット・システムの外部回路からのメイン・システム・クロックを対象デバイスに供給することをいい、対象デバイス内部の発振回路は使用しません。

図3 - 6 ターゲット・システムのクロック発振回路



【注意】 メイン・システム・クロックが正常に供給されていないと、ND-K9234 がハングアップします。ターゲット・システムからのクロック入力は、矩形波を入力してください。ただし、X2 端子にクロックを供給する必要はありません。また、水晶振動子またはセラミック発振子を直接X1, X2 (メイン・システム・クロックの場合) に接続してもND-K9234は動作しません。

3.5.2 メイン・システム・クロックの設定
 メイン・システム・クロックの設定内容を表 3-5 に示します。

表 3 - 5 メイン・システム・クロックの設定

使用するメイン・システム・クロック及び周波数		SW3 設定 (オプション・バイト)		CPU クロック ・ソース選択*1 (NW-78K9-32)	X1、X2 の兼用機能
		SW3-3 (OSCSEL1)	SW3-2 (OSCSEL0)		
エミュレーション・ボード (OSC1 ソケット) に実装済みのクロックを使用する場合	10MHz	0	0	Internal	X1 : X1 として使用 X2 : X2 として使用
ユーザがエミュレーション・ボード (OSC1 ソケット) に実装するクロックを使用する場合	10MHz 以外				
ターゲット・システムからクロックを入力する場合				External	
エミュレーション・ボード (OSC1 ソケット) に実装済みのクロックを使用する場合	10MHz	0	1	Internal	X1 : X1 として使用 X2 : ポートとして使用可
ユーザがエミュレーション・ボード (OSC1 ソケット) に実装するクロックを使用する場合	10MHz 以外				
ターゲット・システムからクロックを入力する場合				External	
内蔵高速 Ring-OSC を使用する場合	8MHz (固定)	1	x	Internal	X1 : ポートとして使用可 X2 : ポートとして使用可

x : don't care

*1.メイン・システム・クロックのソース選択は統合デバッグ起動時に行い、それ以降は変更しないでください。

(1) ~ (4) に使用するメイン・システム・クロックの設定を分類して説明します。

(1) エミュレーション・ボードに実装済みのクロックを使用する場合

出荷時には、OSC1 ソケットには 10.0MHz の水晶発振器が実装されています。

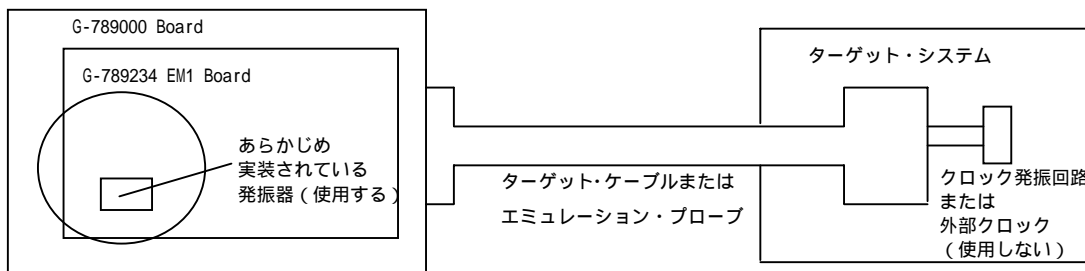
G-789234 EM1 Board 上の SW3 を下記のように設定してください。

$$\left\{ \begin{array}{l} \text{SW3-2 : 0} \\ \text{SW3-3 : 0} \end{array} \right. \quad \text{⇐ 正しい} \quad \left\{ \begin{array}{l} \text{SW3-2 : 1} \\ \text{SW3-3 : 0} \end{array} \right. \quad \text{注 : オプション・バイトの設定に応じて設定して下さい。}$$

SW3-2 : OSCSEL0 SW3-3 : OSCSEL1

設定の概要を図 3-7 に示します。なお、統合デバッグ(NW-78K9-32)起動時には、コンフィグレーション・ダイアログの CPU クロック・ソース選択エリア (Clock) を “ Internal ” に設定してください (エミュレーション内のクロックの選択)。

図 3 - 7 エミュレーション・ボードに実装済みのクロックを使用する場合



備考 G-789234 EM1 Board 上 (円内) の発振器より供給されるクロックを使用します。

(2) ユーザがエミュレーション・ボードに実装するクロックを使用する場合

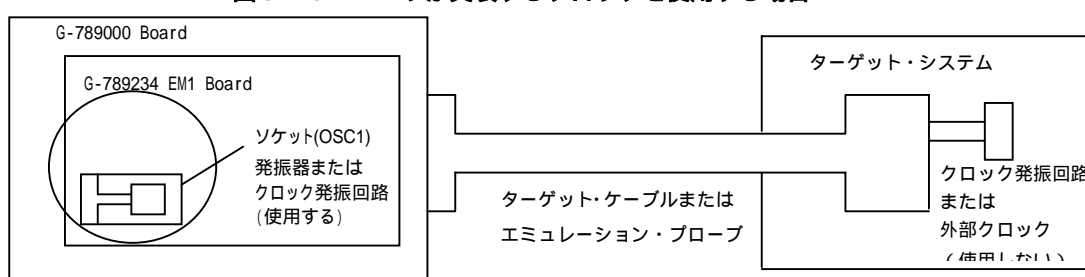
エミュレーション・ボード上に実装済みの水晶発振器(OSC1: 10.0MHz)を取り外し、ご使用になる周波数の発振器、もしくは発振子を装着した部品台(発振回路)を実装します。あらかじめ実装されているクロックとは異なる周波数(メイン・システム・クロック: 2.0MHz~10.0MHz)でデバッグしたいときに有効です。

G-789234 EM1 Board 上の SW3 を下記のように設定してください。

$\left\{ \begin{array}{l} \text{SW3-2 : 0} \\ \text{SW3-3 : 0} \end{array} \right. \Rightarrow \left\{ \begin{array}{l} \text{SW3-2 : 1} \\ \text{SW3-3 : 0} \end{array} \right. \quad \text{注: オプション・バイトの設定に応じて設定して下さい。}$
 SW3-2 : OSCSELO SW3-3 : OSCSEL1

設定の概要を図 3-8 に示します。なお、ご使用になるクロックの種類によって、次のページ以降に掲載した(a)または(b)に示す設定を行う必要があります。統合デバッグ(NW-78K9-32)起動時には、コンフィグレーション・ダイアログの CPU クロック・ソース選択エリア(Clock)を“Internal”に設定してください(エミュレータ内のクロックの選択)。

図 3 - 8 ユーザが実装するクロックを使用する場合



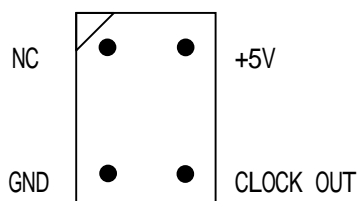
備考 G-789234 EM1 Board 上(円内)の発振回路または発振器より供給されるクロックを使用します。

(a) 水晶発振器を用いる場合

準備するもの

水晶発振器(ピン端子が図 3-9 のとおりで、電源電圧: +5V、出力レベル: CMOS レベルのもの)

図 3 - 9 水晶発振器の装着(メイン・システム・クロック)



(Top View)

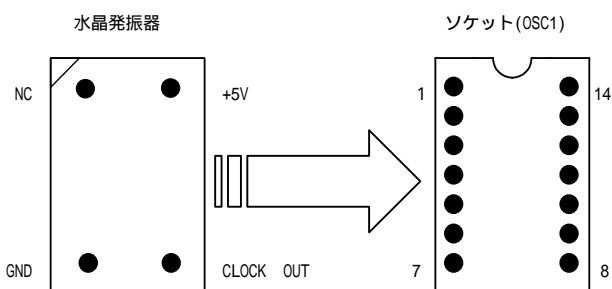
<手順>

ND-K9234 を用意します。

G-789234 EM1 Board 上のソケット(OSC1)に装着されている水晶発振器を取り外します。

で水晶発振器を外したソケット(OSC1)に、水晶発振器を装着します。

このとき次に示すとおりに水晶発振器端子をソケット端子に差し込んでください。



(Top View)

水晶発振器端子	ソケット端子番号
NC	1
GND	7
CLOCK OUT	8
+5V	14

(b)セラミック発振子 / 水晶振動子を用いる場合

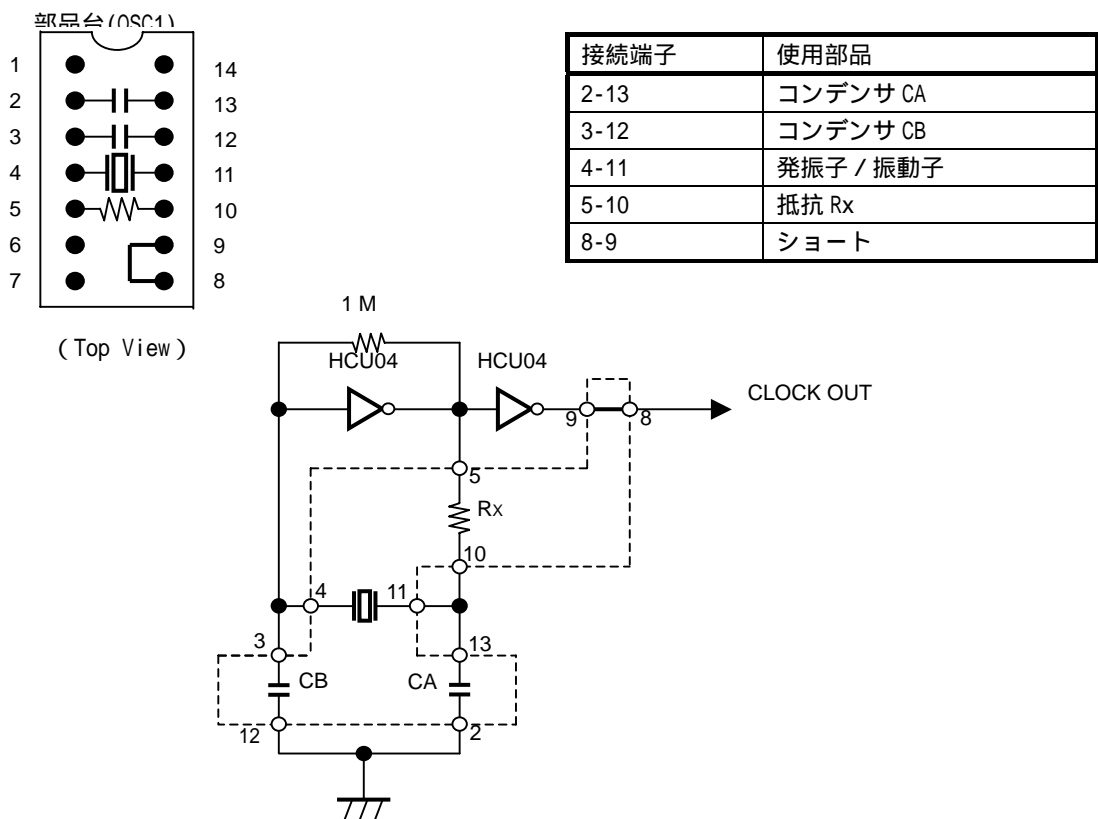
準備するもの

- ・ 部品台
- ・ セラミック発振子または水晶振動子
- ・ 抵抗 Rx
- ・ コンデンサ CA
- ・ コンデンサ CB
- ・ 半田付け用具一式

<手順>

部品台に使用するセラミック発振子または水晶振動子、その発振周波数に適合する抵抗 Rx、コンデンサ CA、コンデンサ CB を次のように半田付けします。

図3 - 10 部品台との接続



備考 破線で囲まれた箇所は、部品台に取り付ける部分を示します。
抵抗 Rx、コンデンサ CA、CB の値に関しては、使用する発振子メーカーのデータ・シートをご覧ください。

ND-K9234 を用意します。

G-789234 EM1 Board 上の OSC1 ソケットに装着されている水晶発振器を取り外します。

で水晶発振器を外したソケット(OSC1)に、 の部品台を装着します。
このとき 1 番ピン・マークの方向に十分注意して差し込んでください。
部品台が、図 3-10 のように配線されているか確認してください。

(3) ターゲット・システムからクロックを入力する場合

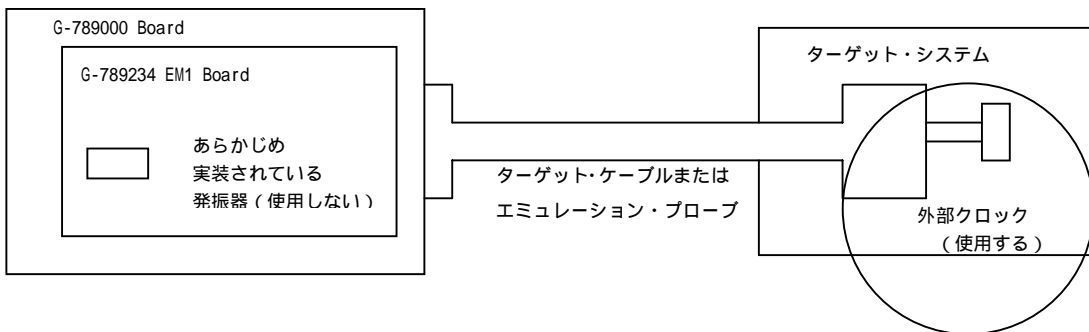
ターゲット・システム上の外部クロックを、エミュレーション・プローブを介して使用されます。

G-789234 EM1 Board 上の SW3 を下記のように設定してください。

{ SW3-2 : 0 SW3-3 : 0	+ + + +	{ SW3-2 : 1 SW3-3 : 0	注：オプション・バイトの設定に応じて設定して下さい。
			SW3-2 : OSCSELO SW3-3 : OSCSEL1

設定の概要を図 3-11 に示します。なお、統合ディバッガ(NW-78K9-32)起動時には、コンフィグレーション・ダイアログの CPU クロック・ソース選択エリア(Clock)を“External”に設定してください(ユーザクロックの選択)。

図 3 - 1 1 ターゲット・システムからパルスを入力する場合 (メイン・システム・クロック)



備考 ターゲット・システム上 (円内) の外部クロックより供給されるクロックを使用します。

【注意】 ターゲット・システムから入力するクロックは、矩形波を入力してください。

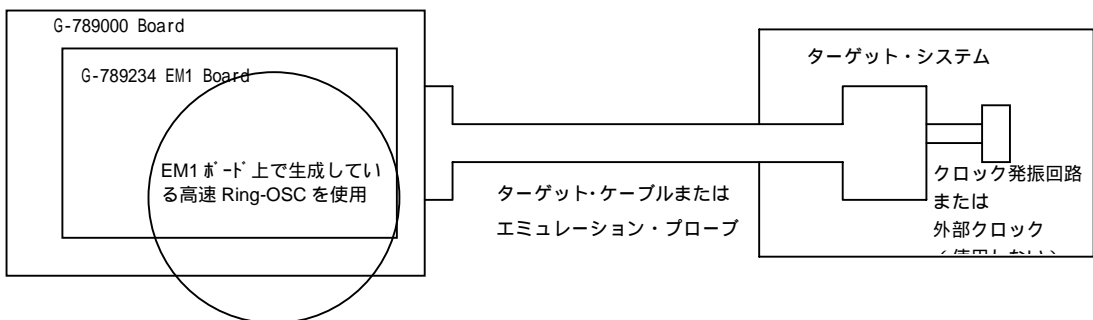
(4) 内蔵高速 Ring - OSC を使用する場合

G-789234 EM1 Board 上の SW3 を下記のように設定してください。

{ SW3-2 : x SW3-3 : 1	}	注：オプション・バイトの設定に応じて設定して下さい。
		x : don 't care SW3-2 : OSCSELO SW3-3 : OSCSEL1

設定の概要を図 3-12 に示します。なお、統合ディバッガ(NW-78K9-32)起動時には、コンフィグレーション・ダイアログの CPU クロック・ソース選択エリア(Clock)は“Internal”に設定してください。

図 3 - 1 2 高速 Ring - OSC を使用する場合 (メイン・システム・クロック)

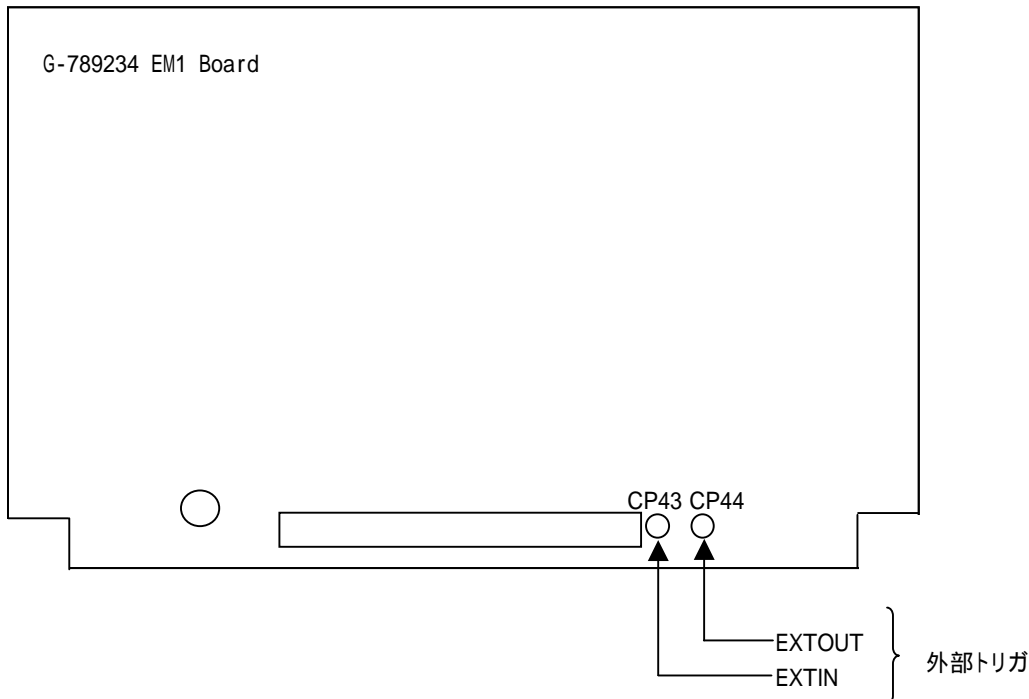


備考 G-789234 EM1 Board 上 (円内) の高速 Ring-OSC (OSC2) より供給されるクロックを使用します。

3.6 外部トリガの設定

外部トリガは、G-789234 EM1 Board 上のチェックピン、EXTOUT、EXTIN にそれぞれ接続してください。
また、使用方法については、NW-78K0H-32/NW-78K9-32 ユーザーズ・マニュアルを参照してください。

図3 - 13 外部トリガの位置



(1) EXTOUT

G-789234 EM1 Board上の EXTOUT 端子より、ブレークイベント発生時に、1.3 μ s の間、ロウレベルを出力します。

注) オープン・ドレイン出力のため、ターゲット・システム上でプルアップ抵抗を接続してください。

(2) EXTIN

G-789234 EM1 Board上の EXTIN 端子より、外部からイベント信号を入力することができます。
2CPU 動作クロック以上ハイレベルのパルス信号を使用してください。

表3 - 6 電気的特性

	MIN [V]	MAX [V]
ハイレベル入力電圧	ターゲット電圧x0.7	ターゲット電圧
ロウレベル入力電圧	0	ターゲット電圧x0.3

3.7 リセット・フラグのクリア用スイッチについて

G-789234 EM1 Board 上にリセット・フラグをクリアするスイッチ SW4 があります。

スイッチ SW4 を押すことでリセット・コントロール・フラグ・レジスタの bit0 (LVIRF)、bit4 (WDTRF) をクリアすることが出来ます。

ただし、CPU リセットを伴う場合があります。

プログラム停止中の場合

bit0 (LVIRF)、bit4 (WDTRF) のみクリアします。

ディバッガのコンフィグレーション・ダイアログでリセット・マスクを有効にしてプログラムを実行した場合

bit0 (LVIRF)、bit4 (WDTRF) のみクリアします。

ディバッガのコンフィグレーション・ダイアログでリセット・マスクを無効にしてプログラムを実行した場合

bit0 (LVIRF)、bit4 (WDTRF) のクリアと CPU がリセットされます。

LVIRF : 低電圧検出 (LVI) 回路による内部リセット要求

WDTRF : ウォッチドック・タイマ (WDT) による内部リセット要求

3.8 POC、LVI機能のエミュレーション

内部リセット確認用に LED2 があります。

LED2 は次のリセット中に点滅します。点滅中はブレークしないでください。LED2 の点滅中にブレークさせた場合、統合ディバッガがハングアップします。(全ブレーク要因)

ブレークする際は、ターゲット・システムの電源電圧を POC または LVI の検出電圧以上に戻してください。

- ・パワーオン・クリア (POC) 回路による内部リセット (電源電圧と POC 検出電圧との比較による内部リセット)
- ・低電圧検出 (LVI) 回路による内部リセット (電源電圧と LVI 検出電圧との比較による内部リセット)

3.9 電源投入と切断

電源投入時

ND-K9234 電源投入

ターゲット・システム電源投入

ディバッガ起動

電源切断時

ディバッガ終了

ターゲット・システム電源切断

ND-K9234 電源切断

注意：電源投入順序を間違えますと、ND-K9234 またはターゲット・システムが破壊されることがあります。

3.10 オプション・バイトの設定

ND-K9234 には以下のオプション・バイトがあります。

- 低速 Ring-OSC クロック発振
- システム・クロック・ソースの選択
- RESET 端子の制御
- 電源投入時、またはリセット入力したときの発振安定時間の設定

オプション・バイトの設定は G-789234 EM1 Board 上の SW3 で行います。

表 3 - 7 オプション・バイトのフォーマット

bit	7	6	5	4	3	2	1	0
対象デバイス	1	DEFOSTS1	DEFOSTS0	1	RMCE	OSCSEL1	OSCSELO	RINGOSC
ND-K9234	SW3-8	SW3-7	SW3-6	SW3-5	SW3-4	SW3-3	SW3-2	SW3-1

低速 Ring-OSC クロック発振

表 3 - 8 低速 Ring-OSC クロック発振の設定

SW3-1 設定	RINGOSC	低速 Ring-OSC クロック発振
1 側	1	停止不可
0 側	0	ソフトウェアにより停止可能

システム・クロック・ソースの選択

表 3 - 9 システム・クロック・ソースの設定

SW3-3 設定	SW3-2 設定	OSCSEL1	OSCSELO	システム・クロック・ソースの選択
0 側	0 側	0	0	水晶/セラミック発振クロック
0 側	1 側	0	1	外部クロック入力 (X1 端子のみ使用)
1 側	0 側	1	x	高速 Ring-OSC

x : don't care

RESET 端子の制御

表 3 - 10 RESET 端子の制御の設定

SW3-4 設定	RMCE	RESET 端子の制御
1 側	1	RESET 端子として使用
0 側	0	RESET 端子を入力専用ポート (P34) として使用

リセット・コントロール・フラグ・レジスタと外部リセット入力に関する動作

- ・ P34/ RESET を P34 として使用した場合リセット・コントロール・フラグ・レジスタのクリアは SW4 でしか行えません。
- ・ P34/ RESET を RESET 端子として使用した場合
 統合ディバガのコンフィグレーション・ダイアログで、リセット・マスクを無効にしてプログラムを実行すると、外部リセット入力によりリセット・コントロール・フラグ・レジスタのクリアと CPU のリセットが行われます。
 統合ディバガのコンフィグレーション・ダイアログで、リセット・マスクを有効にしてプログラムを実行すると、外部リセット入力によりリセット・コントロール・フラグ・レジスタのみクリアされます。
 プログラム停止中に外部リセット入力が入るとリセット・コントロール・フラグ・レジスタのみクリアされます。

電源投入時、またはリセット入力したときの発振安定時間の設定

表 3 - 11 発振安定時間の設定

SW3-7 設定	SW3-6 設定	DEFOSTS1	DEFOSTS0	電源投入時、またはリセット入力したときの発振安定時間の設定
0 側	0 側	0	0	$2^{10}/f_x$ (102.4 μ s)
0 側	1 側	0	1	$2^{12}/f_x$ (409.6 μ s)
1 側	0 側	1	0	$2^{15}/f_x$ (3.27ms)
1 側	1 側	1	1	$2^{17}/f_x$ (13.1ms)

【注意】 このオプション設定は、システム・クロック・ソースに高速 Ring-OSC 以外を選択した場合のみ有効となります。高速 Ring-OSC を選択した場合、ウェイト時間はありません。

第4章 対象デバイスとターゲット・インタフェース回路の相違

この章では、対象デバイスの信号線と ND-K9234 のターゲット・インタフェース回路の信号線との相違について説明します。

対象デバイスは CMOS 回路ですが、G-789234 EM1 Board のターゲット・インタフェース回路は、エミュレーション CPU、TTL、CMOS-IC などによるエミュレーション回路で構成されています。

ND-K9234 とターゲット・システムを接続してデバッグした場合、ターゲット・システム上であたかも実際の対象デバイスが動作しているように、ND-K9234 がエミュレートします。

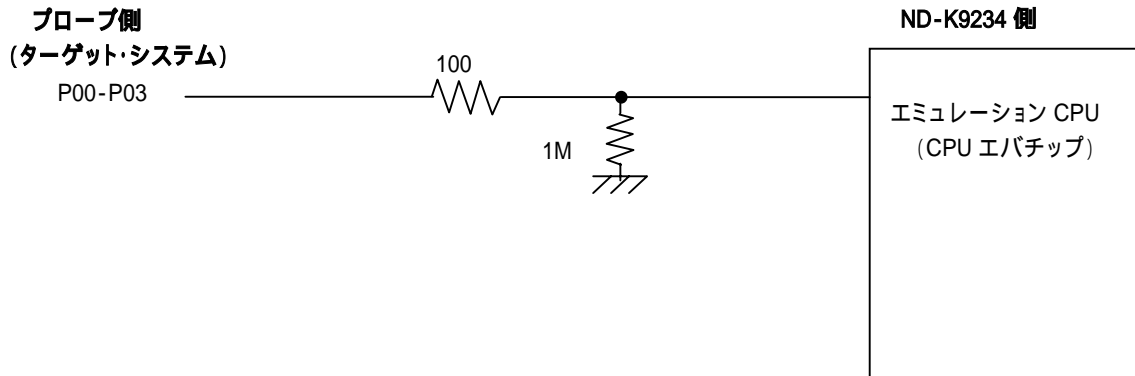
しかし、実際には ND-K9234 がエミュレートしているので、細かい違いが生じます。

- (1) エミュレーション CPU (FPGA、CPU エバチップ) から入出力される信号
- (2) ターゲット・システムからゲートを通して入力される信号
- (3) その他の信号

上記の (1) から (3) の信号について、ND-K9234 の回路図を次に示します。

(1) エミュレーション CPU (FPGA、CPU エパチップ) から入出力される信号
 次の信号についての ND-K9234 の回路図を図 4-1 に示します。
 P00-P03

図 4 - 1 エミュレーション回路の等価回路 1



(2) ターゲット・システムからゲートを通して入力される信号
 次に信号について ND-K9234 の回路図を図 4-2、図 4-3、図 4-4 に示します。
 P20/AN10, P21/AN11, P22/AN12, P23/AN13
 P30/TI000/INTP0, P31/TI010/T000/INTP2, P32, P33, P34/ RESET
 P40, P41/INTP3, P42/TOH1, P43/TxD60/INTP1, P44/RxD60, P45, P46, P47
 P120, P121/X1, P122/X2, P123
 P130

図 4 - 2 エミュレーション回路の等価回路 2

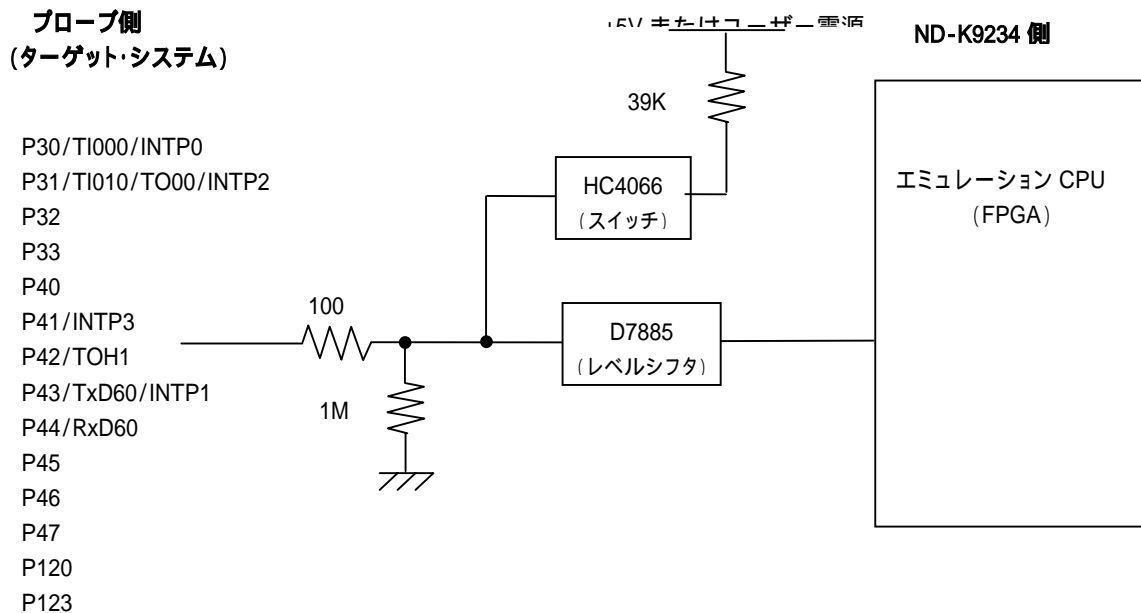


図 4 - 3 エミュレーション回路の等価回路 3

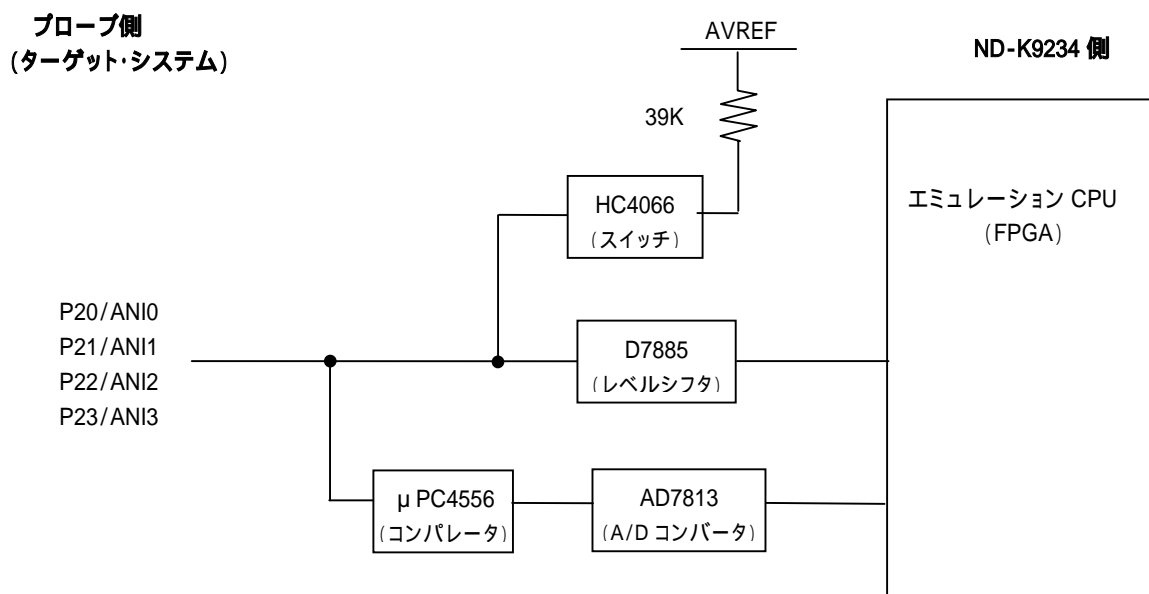
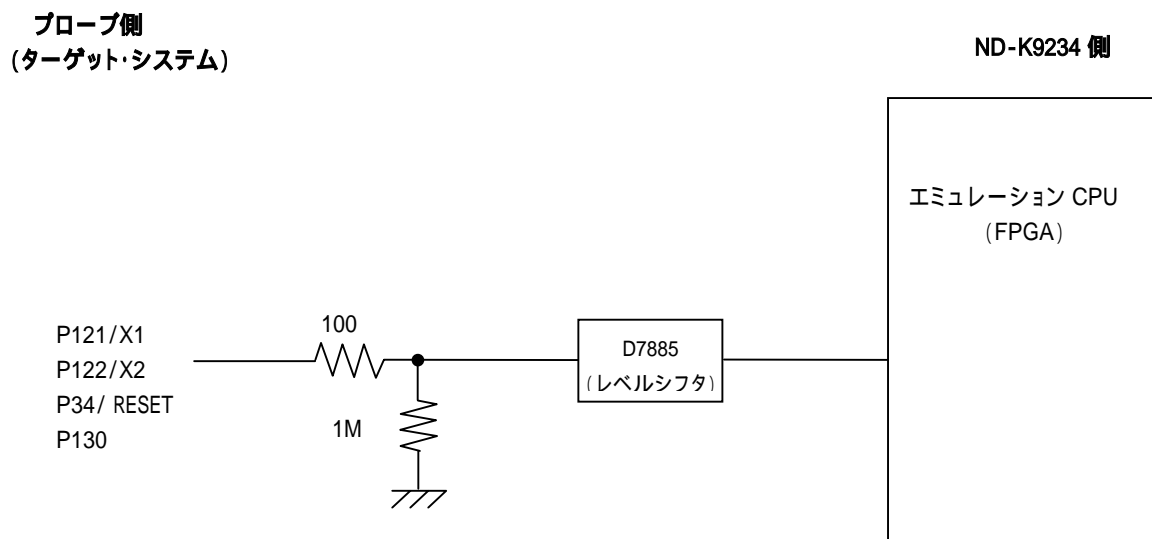


図 4 - 4 エミュレーション回路の等価回路 4



(3) その他の信号

次に信号について ND-K9234 の回路図を図 4-5、図 4-6、図 4-7 に示します。

VDD AVREF
VSS AVSS

図 4 - 5 エミュレーション回路の等価回路 5

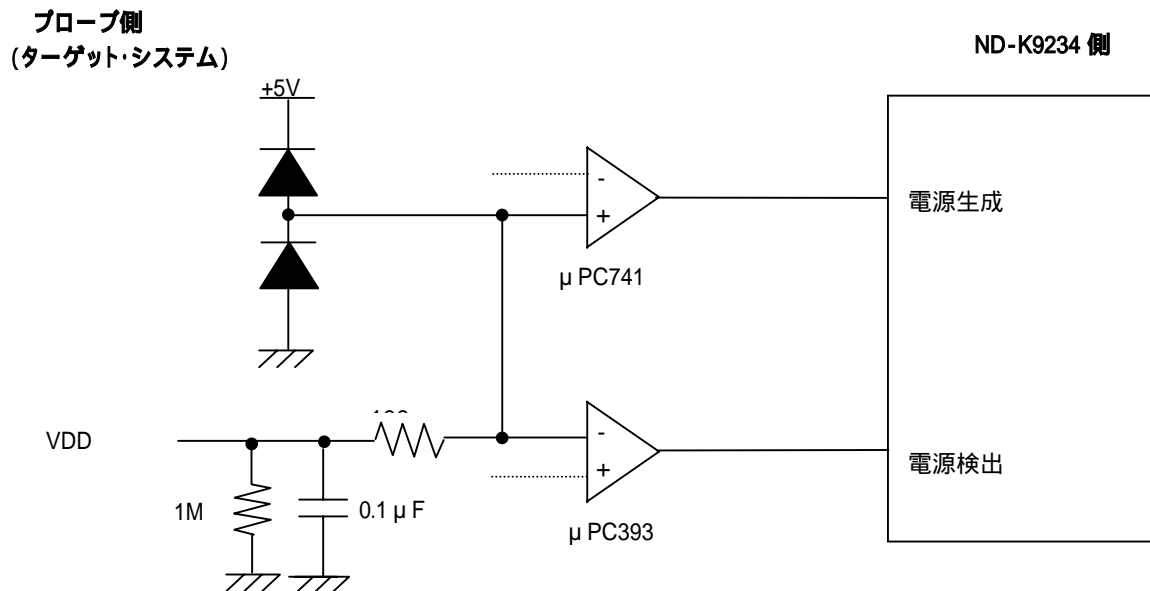


図 4 - 6 エミュレーション回路の等価回路 6

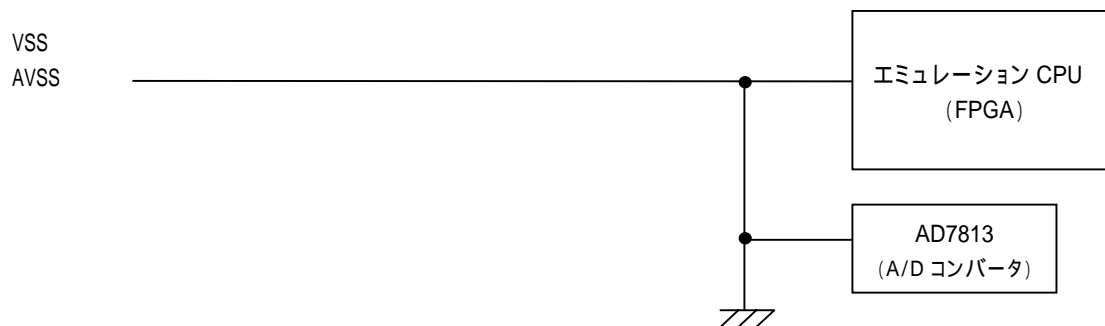
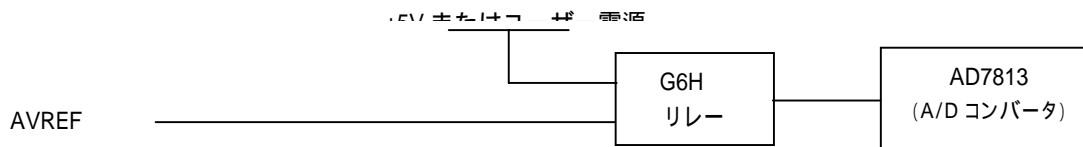


図 4 - 7 エミュレーション回路の等価回路 7



付録A SIMPLE PROBE Board 結線表

SIMPLE PROBE Board					SIMPLE PROBE Board					SIMPLE PROBE Board			
信号名	CN1	CN2	TGCN1	TGCN2	信号名	CN1	CN2	TGCN1	TGCN2	信号名	CN1	CN2	
AVREF	24	1	23	-	GND	11	4	1	1	N.C	7	76	20
AVSS	1	2	GND	GND	GND	12	6	2	2	N.C	8	77	
P20/AN10	29	3	11	-	GND	25	8	10	5	N.C	9	78	
P21/AN11	30	5	12	-	GND	26	10	15	6	N.C	10	79	
P22/AN12	93	7	13	-	GND	39	14	16	16	N.C	13	80	
P23/AN13	94	9	14	-	GND	40	16	17	17	N.C	14	83	
VDD	22	11	9	-	GND	48	18	18	18	N.C	15	84	
VSS	2	12	GND	GND	GND	49	38	19	19	N.C	16	85	
P120	17	13	3	-	GND	53	40	20	20	N.C	20	86	
P121/X1	55	15	-	22	GND	54		21	21	N.C	21	87	
P122/X2	19	17	-	3	GND	67		22	23	N.C	23	88	
P123	18	19	8	-	GND	68		24	24	N.C	27	89	
P00	3	21	7	-	GND	81		25	25	N.C	28	90	
P40	92	22	-	8	GND	82		26	26	N.C	31	97	
P01	4	23	6	-	GND	95		27	27	N.C	32	98	
P41/INTP3	91	24	-	9	GND	96		28	28	N.C	33	99	
P02	5	25	5	-	GND	109		29	29	N.C	34	100	
P42/TOH1	70	26	-	10	GND	110		30	30	N.C	35	101	
P03	6	27	4	-	GND	119		31	31	N.C	36	103	
P43/TxD6/INTP1	69	28	-	11	GND	120		32	32	N.C	37	104	
P130	71	29	-	7	GND			33	33	N.C	38	105	
P44/RxD6	72	30	-	12	GND			34	34	N.C	41	106	
P30/TI000/INTP0	66	31	-	44	GND			35	35	N.C	42	107	
P45	102	32	-	13	GND			36	36	N.C	43	108	
P31/TI010	65	33	-	43	GND			37	37	N.C	44	111	
P46	73	34	-	14	GND			38	38	N.C	45	112	
P32	60	35	-	42	GND			39	39	N.C	46	113	
P47	74	36	-	15	GND			40	40	N.C	47	114	
P33	61	37	-	41	GND			41	45	N.C	50	115	
P34/RESET	62	39	-	4	GND			42	46	N.C	51	116	
					GND			43	47	N.C	52	117	
					GND			44	48	N.C	56	118	
					GND			45	49	N.C	57		
					GND			46	50	N.C	58		
					GND			47		N.C	59		
					GND			48		N.C	63		
					GND			49		N.C	64		
					GND			50		N.C	75		

付録 B 使用制限

1. 本エミュレータでは、オプション・バイトの設定を G-789234 EM1 Board 上の SW3 で行うため、アドレスの 80H に設定した値は反映されません。
2. 本エミュレータでは、プログラムにより対象デバイスに存在しない SFR (ポート・レジスタ (Px)、ポート・モード・レジスタ (PMx)、プルアップ抵抗オプション・レジスタ (PUx)) の書き換え (制御) ができてしまいます。(78K0S/KU1+ の P40-P47, PM40-PM47, PU40-PU47 以外 SFR Window では書き換えできないようにしています。) 対象デバイスに存在しないが書き換えができてしまう SFR を下記に示します。

対象デバイス	存在しないが書き換えできてしまう SFR
78K0S/KU1+	P30, P31, P33, P40-P47, PM30, PM31, PM33, PM40-PM47, PU30, PU31, PU33, PU40-PU47
78K0S/KY1+	P30, P31, P33, PM30, PM31, PM33, PU30, PU31, PU33
78K0S/KA1+	P32, P33, P46, P47, P120, PM32, PM33, PM46, PM47, PM120, PU32, PU33, PU46, PU47, PU120, PU121, PU122

注意：対象デバイスに存在しない端子がターゲット・システムに接続されている場合は、ターゲット・システム側でオープンにしてください。40ピン IDE ケーブル (ATA33 規格) を使用する際は、気をつけてください。

3. A/D コンバータ・モード・レジスタ (ADM) のビット 0 (ADCE) に 1 を設定した後、1 μ s 経過しなくても A/D 変換が可能になります。
4. リセット・コントロール・フラグ・レジスタ (RESF) のビット 4 (WDTRF)、ビット 0 (LVIRF) はデバッグのリセットボタン、エミュレータ (G-789000 Board 拡張コネクタ対応ボード) のリセットボタン (SW2) ではクリアされません。
リセット・コントロール・フラグ・レジスタ (RESF) のビット 4 (WDTRF)、ビット 0 (LVIRF) をクリアするには、ターゲット側よりエミュレータにリセット信号を入力するか、エミュレータ (G-789234 EM1 Board) 上の SW4 を押してください。
5. フラッシュメモリのセルフ・プログラミングはサポートしていません。
6. 割り込みによる HALT モード解除後、対象デバイスよりウエイト時間が 2~3 クロック短くなります。
7. 低電圧検出レベル
本エミュレータは、対象デバイスに比べ数 mV の誤差が生じます。
8. A/D コンバータの特性
本エミュレータは、ターゲット・システムとの間にプローブを接続している為、対象デバイスに比べ特性が多少異なります。
9. 8 ビット・タイマ H1
8 ビット・タイマ H1 のカウント・クロックとして低速 Ring-OSC を選択した場合、デバッグのコンフィグレーション・ダイアログの "Peripheral Break" を "Break" に設定してもプログラム停止中に 8 ビット・タイマ H1 のタイマは停止しません。
10. P34/ RESET 端子
P34/ RESET 端子は P34 エミュレーション時の入力保護のためにエミュレータ内部で保護抵抗 (プルダウン抵抗) が接続されています。
RESET 端子への入力信号が Hi インピーダンスの場合、RESET 端子は Low レベルになります。
コンフィグレーション画面で "Mask: RESET" の設定 (リセットマスク) がされていれば RESET 端子によるリセットは発生しません。しかし "Mask: RESET" の設定を解除すると RESET 端子への入力が常に Low レベルになるためリセットが常に入った状態となりデバッグがハングアップします。
ターゲットを接続しターゲット側よりリセット信号を入力する際は、RESET 端子に Hi レベルの信号を入力させ、コンフィグレーション画面で "Mask: RESET" の設定を解除してください。