

INCIRCUIT EMULATOR
ND - K 0 8 H
ユーザズ・マニュアル

本製品は外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当する恐れがありますので、日本国外に輸出する場合には、同法に基づき日本国政府の許可が必要となります。

本資料の内容は、後日変更する場合があります。
文書による当社の承諾なしに本資料の転載複製を禁じます。
この製品を使用した事により、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。

はじめに

対象者 このマニュアルは、8 ビット・シングルチップ・マイクロコンピュータ μ PD7807X, μ PD7808X シリーズを採用し、ND-K08H によりシステム・デバッグを行うエンジニアを対象としています。

目的 このマニュアルは、ND-K08H が持つ各種デバッグ機能を理解していただくことを目的とします。

用語について

このマニュアルの中で使用する用語について、その意味を下表に示します。

用語	意味
エミュレーション・デバイス	エミュレータ内で対象デバイスのエミュレーションを行っているデバイスの総称です。 エミュレーション CPU を含みます。
エミュレーション CPU	エミュレータ内で、ユーザが作成したプログラムを実行している CPU 部分です。
対象デバイス	エミュレーションの対象となっているデバイスです。 (本チップ)
ターゲット・プログラム	デバッグの対象となるプログラムです。 (ユーザが作ったプログラム)
ターゲット・システム	デバッグの対象となるシステムです。 (ユーザが作ったシステム) ターゲット・プログラム、およびユーザの作成したハードウェアを含みます。 狭義にはハードウェアのみを指します。

凡例 データ表記の重み： 左が上位桁、右が下位桁
注) : 本文中に付けた注の説明
【注意】 : 特に気をつけて読んでいただきたい内容
〔備考〕 : 本文の補足説明

目 次

第1章 概 説	1-1
1.1 システム構成	1-1
1.2 基本仕様	1-2
第2章 各部の名称	2-1
2.1 本体各部の名称	2-1
2.2 ボード各部の名称	2-2
第3章 設 置	3-1
3.1 接続	3-1
3.2 低電圧エミュレーションの設定	3-3
3.3 ジャンパの設定	3-4
3.4 ユーザ・クロックの設定	3-5
3.5 外部トリガ	3-8
3.6 電源の投入・切断手順	3-9
第4章 対象デバイスとターゲット・インタフェース回路の相違	4-1

第1章 概説

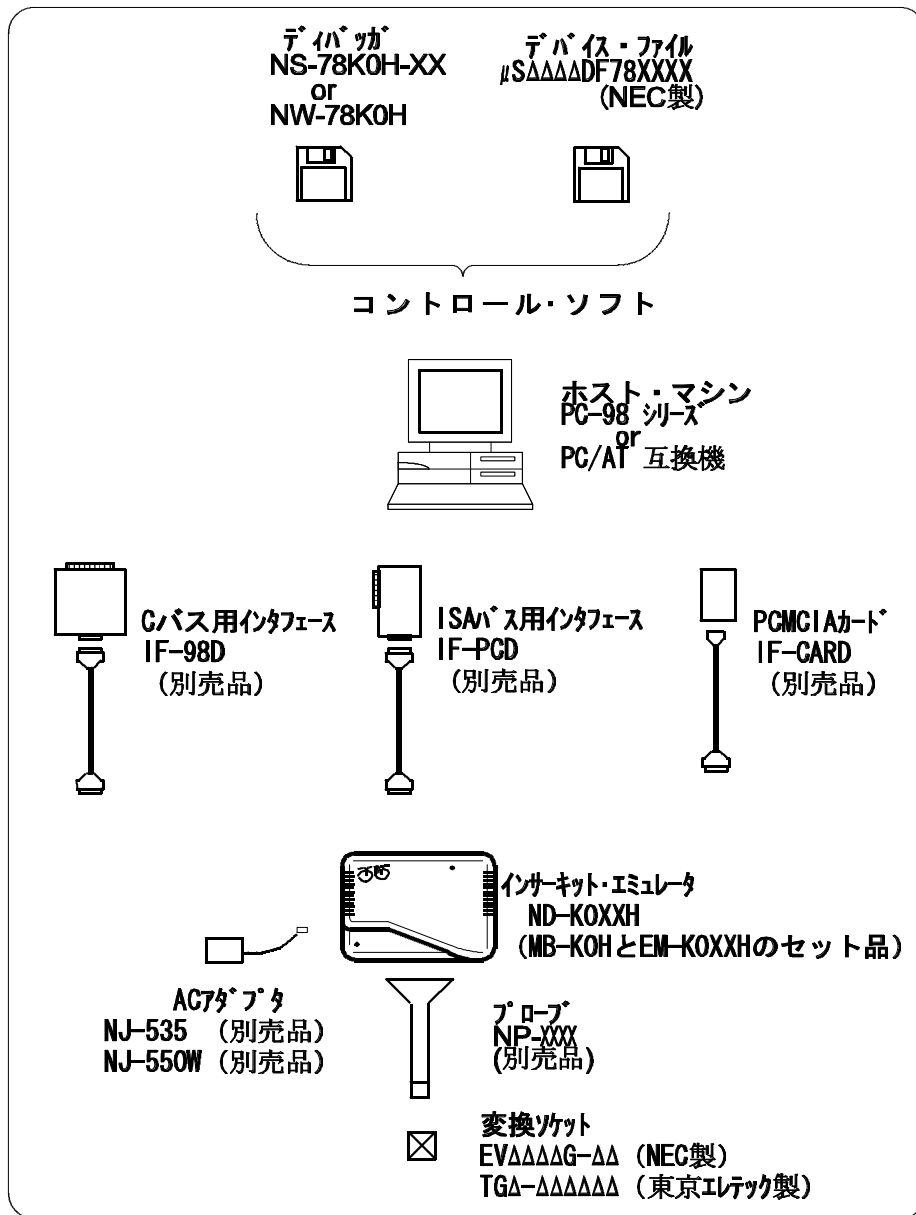
ND-K08H は、8 ビット・シングルチップ・マイクロコンピュータ、 μ PD7807X、 μ PD7808X シリーズを用いたハードウェア、またはソフトウェアを効率的にデバッグするための開発支援装置です。

本章では、ND-K08H のシステム構成および基本仕様について説明します。

1.1 システム構成

ND-K08H のシステム構成は次のようになっています。

《 ASMIS ND-K08H のシステム構成 》



1.2 基本仕様

《基本仕様》

項目	内容
スーパーバイザ	V40™ (動作周波数：16[MHz])
対象デバイス	μ PD7807X, μ PD7808Xシリーズ
システムクロック	メイン・クロック : 5MHz サブ・クロック : 32.768KHz
クロック供給	外部：パルス入力 内部：エミュレーションボード上に実装
代替メモリ容量	64[Kbyte]
マッピング単位	内部 ROM.....4[KB] 内部 RAM.....64[B] 内部低速 RAM.....128[B] 外部拡張メモリ.....8[KB]
エミュレーション機能	リアルタイム実行 ブレーク実行 ステップ実行
リアルタイム RAM モニタ	全データメモリ空間中 2[KB]
イベント検出	プログラム実行検出 バス・イベント検出 外部トリガ検出 トリガ出力 OUT.....オープンドレン出力(1本)
イベント統合	トリガ条件 パス条件 ディレイ条件 トレース・クオリファイ条件
ブレーク要因	イベント・ブレーク マニュアル・ブレーク コマンド・ブレーク フェイル・セーフ・ブレーク
リアル・タイム・トレース	トレース要因：全トレース クオリファイ・トレース ----- トレース容量：40[bit]×8[K] ----- トレース内容：アドレス、データ、ステータス

項 目	内 容
実行時間測定	最 大：4分28秒 分解能：62.5[ns]
ターゲット・インタフェース	ターゲットデバイス形状ごとにプローブを用意（別売）
ホスト・インタフェース	専用バス・インタフェース
低電圧対応	2～5V
ホストマシン	PC - 98シリーズ、IBM PC/AT 互換機
電 源	DC 5[V]
外形寸法	W235 × D195 × H39[mm]

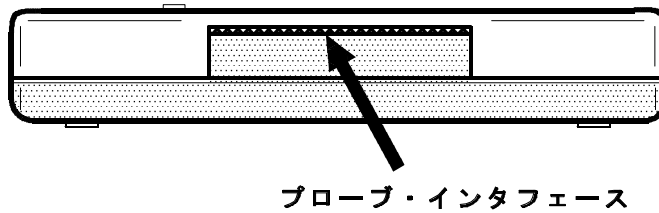
第2章 各部の名称

本章では、ND-K08H の本体各部の名称を紹介します。

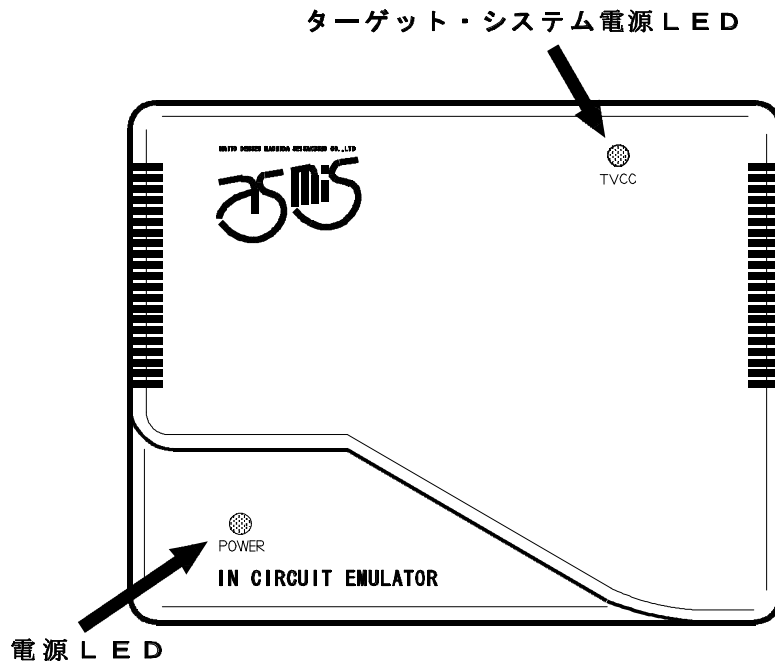
梱包箱の中には ND-K08H 本体が入っています。万一、不足や破損などがありましたら、販売員までご連絡ください。

2.1 本体各部の名称

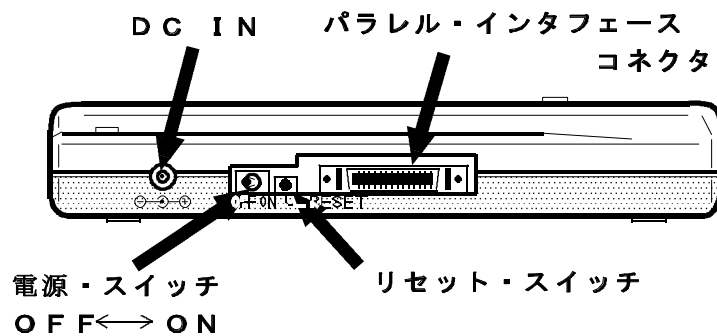
(1) プローブ面



(2) 上面



(3) パラレル・インタフェース面



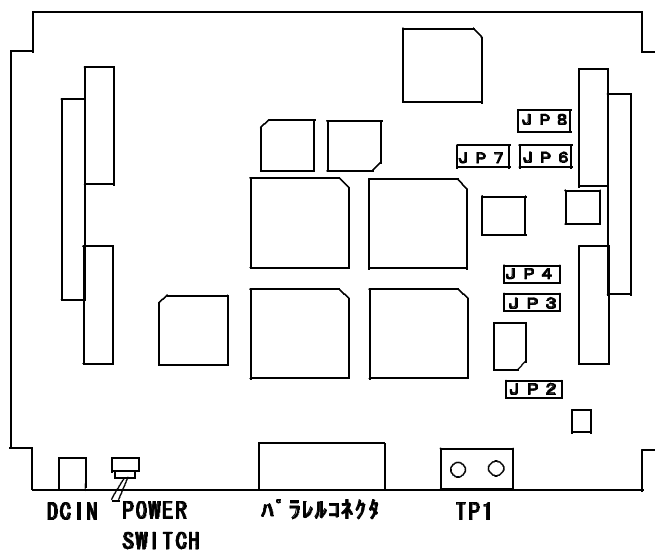
2.2 ボード各部の名称

ND-K08H の中には次のボードが入っています。

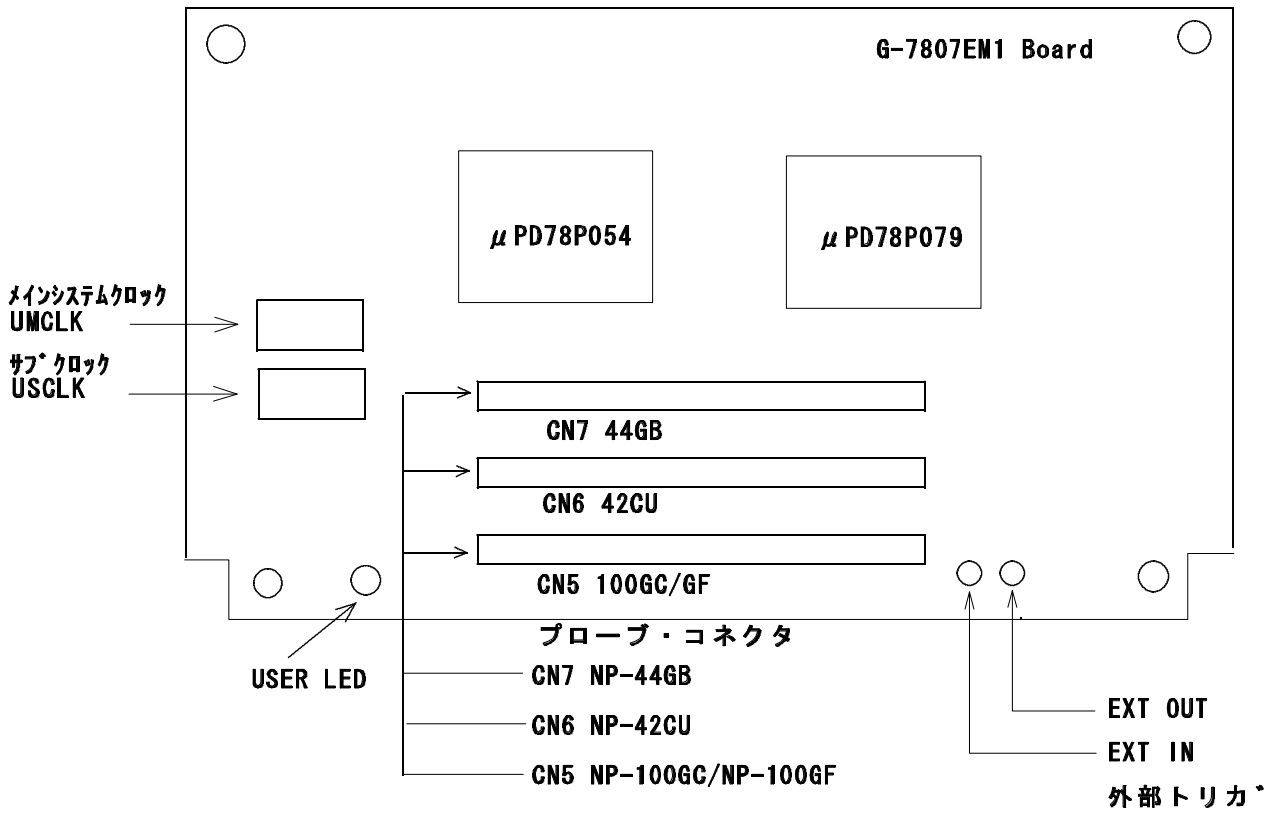
- (a) メイン・ボード (G-780009 Board) 1枚
- (b) エミュレーション・ボード (G-7807EM1 Board) 1枚

本体裏面のネジ 4 箇所を外し、フタを開けて確認してください。

(a) メイン・ボード
(G-780009 Board)



(b) エミュレーション・ボード
(G-7807EM1 Board)



第3章 設置

本章では、ND-K08H をケーブル等と接続し、各モード設定を行う方法について解説します。

3.1 接続

エミュレーション・プローブや AC アダプタ、パラレル・ケーブルを ND-K08H 本体に接続します。

【注意】ターゲット・システムとの接続、取り外し、さらにスイッチ等の設定変更は、
本体 ND-K08H 及びターゲット・システムの電源を OFF にしてから行ってください。

(1) エミュレーション・プローブの接続方法

1. ND-K08H 本体の上部を開き、エミュレーションボード(G-7807EM1 Board)のプローブ用コネクタに
エミュレーションプローブを接続します。

但し、本ボードでは、使用プローブによりプローブコネクタへの接続が異なります。

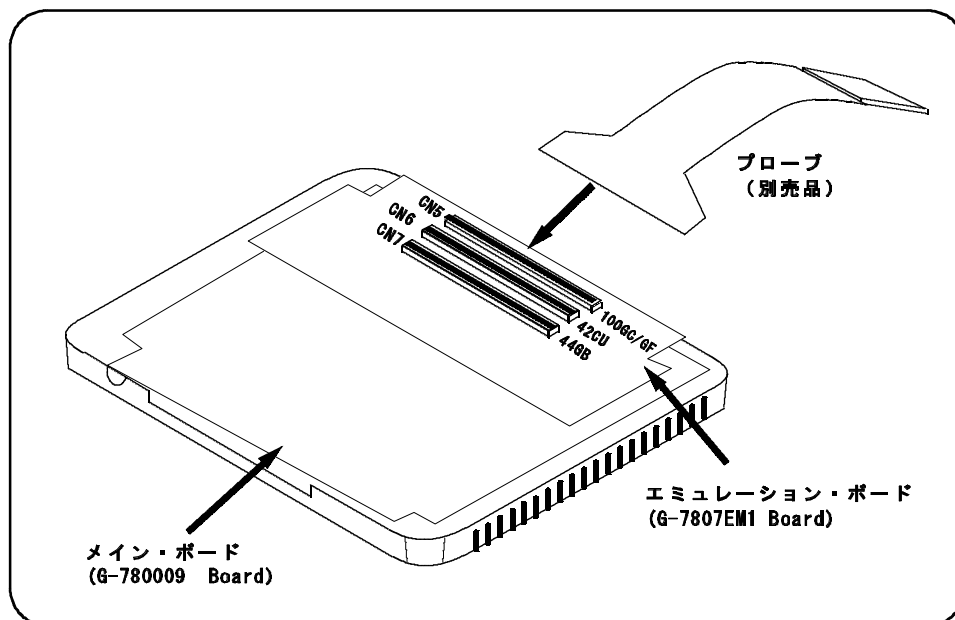
使用するエミュレーション・プローブが NP-100GC , NP-100GF の時、CN5 へ接続。

使用するエミュレーション・プローブが NP-42CU の時、CN6 へ接続。

使用するエミュレーション・プローブが NP-44GB の時、CN7 へ接続。

【注意】 接続方法を間違えますと、ND-K08H が破壊されることがあります。

なお、接続の詳細については、各エミュレーション・プローブのユーザズ・マニュアルを
参照してください。

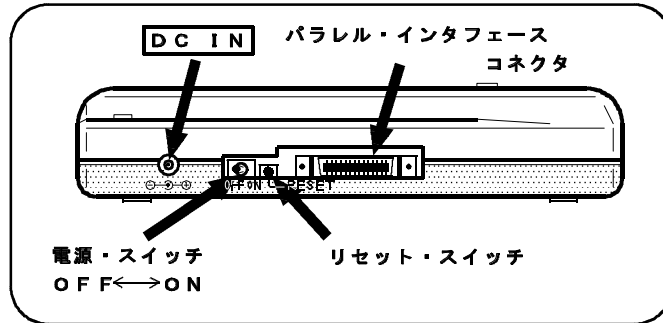


(2) 電源の接続方法

専用 AC アダプタからの供給

ND-K08H のパラレルインタフェース面の "DCIN" に AC アダプタを差し込んでください。

《 AC アダプタの接続》



専用 AC アダプタ以外からの供給

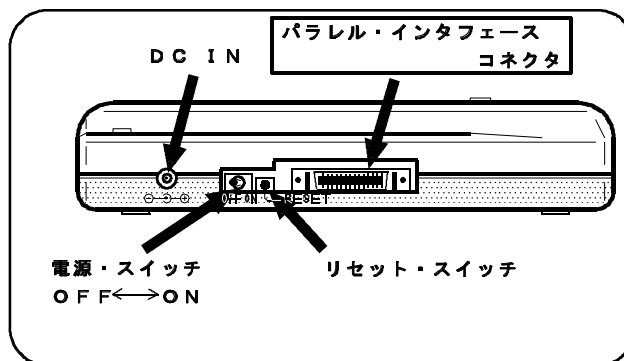
外形 5.5mm、内径 2.1mm のプラグに、極性は外側 +、内側 - とし、DC 5V ± 5%、3A 以上の電源と接続して使用してください。

[注意] 接続、印可電圧を間違えますと本機は破壊されます。

(3) パラレル・インタフェース・ケーブルの接続方法

ND-K08H 本体のパラレル・インタフェース・コネクタに差込みます。

《パラレル・インタフェース・ケーブルの接続》



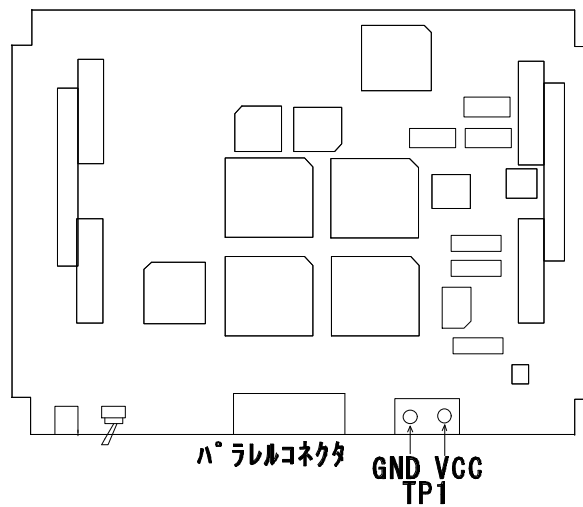
3.2 低電圧エミュレーションの設定

ターゲットが低電圧動作の場合、メイン・ボード(G-780009 Board)の平行・インターフェイス側にあるTP1 ターミナルピンにターゲットと同じ電源の電圧を供給してください(5V のときは特に必要ありません)。ターゲットの電圧は 2~5V にしてください。

TP1に最大消費電流

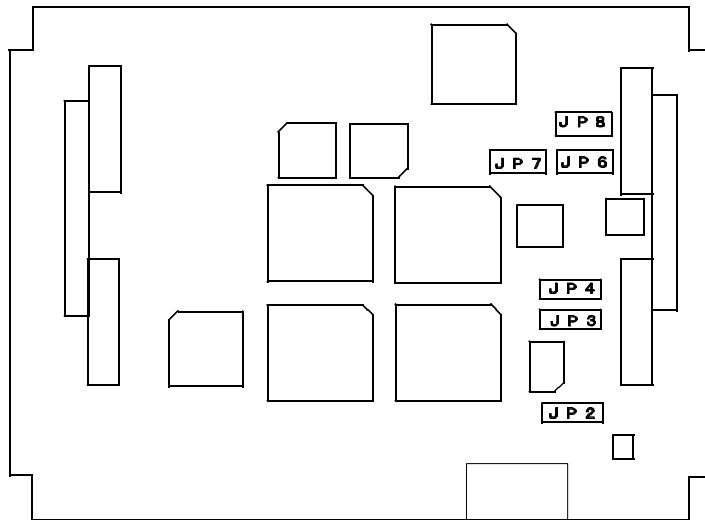
5V	100mA
↓	
3V	50mA
↓	
2V	30mA

《メイン・ボード(G-780009 Board)》

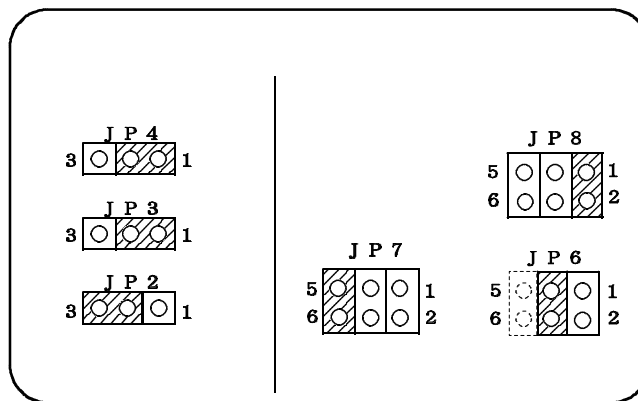


3.3 ジャンパの設定

ND-K08H 内のメインボード(G-780009 Board)上のジャンパの位置を示します。



ジャンパのデフォルト設定を示します。



JP2 : 2 - 3ショート	固定
JP3 : 1 - 2ショート	固定
JP4 : 1 - 2ショート	固定
JP6 : 3 - 4ショート	固定
JP7 : 5 - 6ショート	固定
JP8 : 1 - 2ショート	内部のサブ・クロックを使用する(デフォルト)
: 3 - 4ショート	ターゲットのサブ・クロックを使用する
: 5 - 6ショート	設定禁止

固定のジャンパはエミュレーション・ボードの交換時にジャンパの設定を変更することがあります。くわしくはエミュレーション・ボードのマニュアルを参照してください。

3.4 ユーザ・クロックの設定

(1) メイン・クロック

出荷時には、5.000MHz の水晶発振器がエミュレーション・ボード(G-7807EM1 Board)の UMCLK のソケットに実装されています。

メイン・クロックの周波数を変更するには、3種類の方法があります。

水晶発振器の交換(UMCLK ソケット)

発振回路を組む(UMCLK ソケット)

ターゲットからパルスを入力(X1 端子)

ディバッガのコマンドによって、ソケットのクロックとターゲットのクロックを切り替えることができます。詳しくはディバッガのマニュアルを参照してください。

注) メイン・クロックが正常に供給されていないと、ND-K08H がハングアップしますので、ご注意ください。

また、ターゲットからのクロックは、矩形波を入力してください。

ただし、X2 端子にクロックを供給する必要はありません。

X2 端子はオープンになっているため X1, X2 端子を用いた発振回路は動作しません。

(2) サブ・クロック

32.768KHz の水晶発振器がエミュレーション・ボード(G-7807EM1 Board)に標準実装されています。

又、出荷時には、USCLK の6ピンと8ピンがショート(標準実装の発振器を選択)してあります。

サブ・クロックの周波数を変更するには、3種類の方法があります。

水晶発振器の実装(USCLK ソケット)

発振回路を組む(USCLK ソケット)

ターゲットからパルスを入力(XT1 端子)

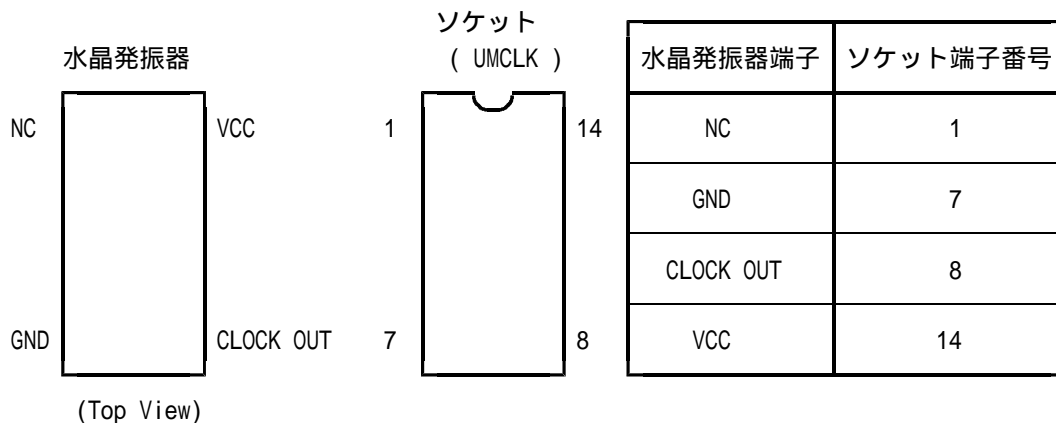
注) XT2 端子はオープンになっているため、XT1, XT2 端子を用いた発振回路は動作しません。

USCLK ソケットから供給するか、ターゲット・システムから供給するかの切り替えはメイン・ボード(G-780009 Board)上のジャンパ(JP8)で行います。

ジャンパの位置については、3.3 ジャンパの設定を参照してください。

(a) 水晶発振器を用いる場合

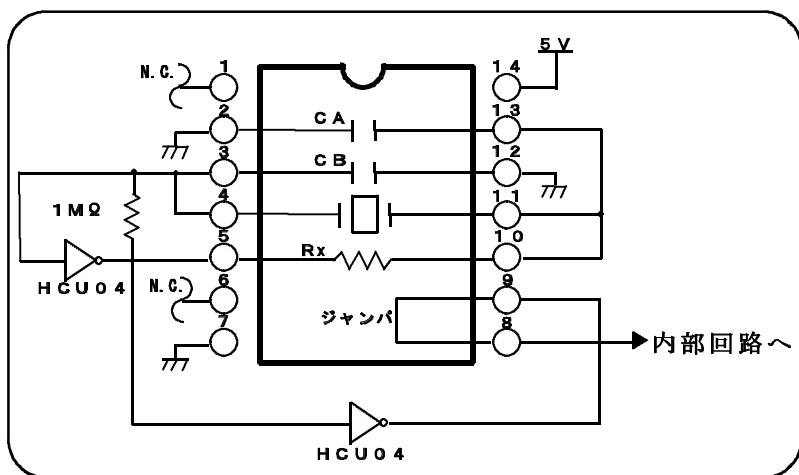
メイン・クロックに水晶発振器を用いる場合、端子配置が以下のようにになっている水晶発振器を図のようにソケット実装してください。



(b) セラミック発振子 / 水晶振動子を用いる場合

メイン・クロック

以下のような回路構成になっていますので、ソケット上に必要な周波数の発振子 / 振動子、抵抗、コンデンサを実装してください。

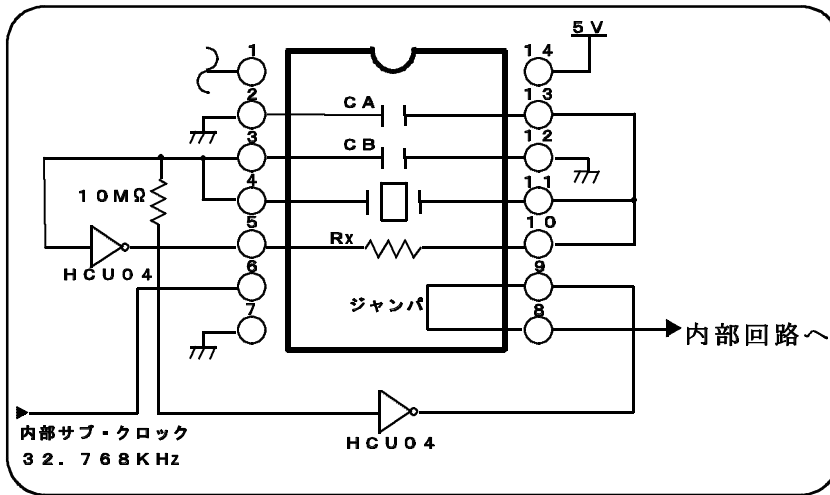


接続端子	使用部品
2-13	コンデンサ CA
3-12	コンデンサ CB
4-11	発振子 / 振動子
5-10	抵抗 Rx
8-9	ショート

サブ・クロック

以下のような回路構成になっていますので、ソケット上に必要な周波数の発振子 / 振動子、抵抗、コンデンサを実装してください。

ただし、エミュレーション・ボード上に実装されているサブ・クロックを有効にするためには、USCLK の6ピンと8ピンをショートさせてください。

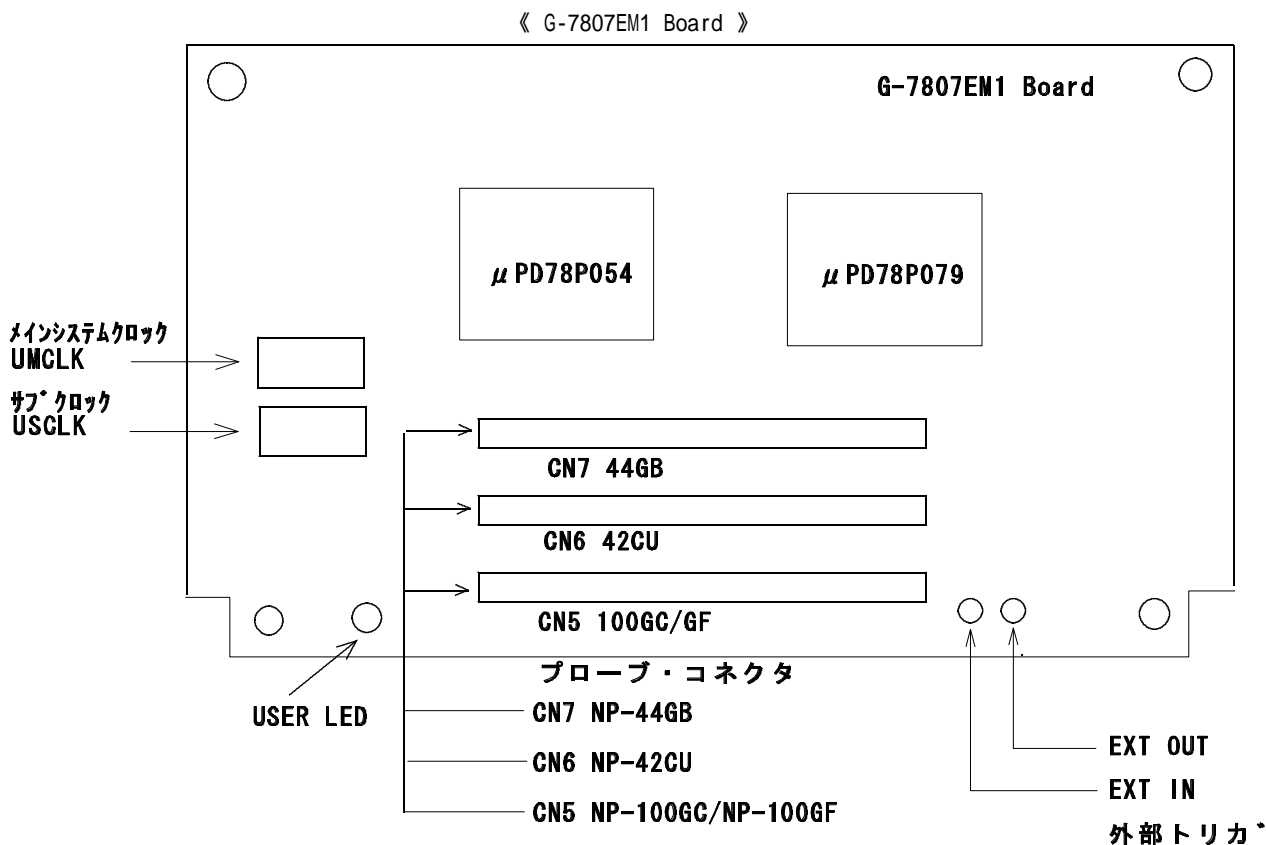


接続端子	使用部品
2-13	コンデンサ CA
3-12	コンデンサ CB
4-11	発振子 / 振動子
5-10	抵抗 Rx
8-9	ショート

3.5 外部トリガ

外部トリガは、エミュレーション・ボード(G-7807EM1 Board)のチェックピン、EXTOUT、EXTIN にそれぞれ接続してください。

また、使用方法については、デバッグのマニュアルを参照してください。



(1) EXTOUT

エミュレーション・ボード上の EXTOUT 端子より、ブレークイベント発生時に、1.3 μ S の間、ロウレベルを出力します。

注) オープン・ドレイン出力のため、ターゲットシステム上でプルアップ抵抗を接続して下さい。

(2) EXTIN

エミュレーション・ボード上の EXTIN 端子より、イベント信号を入力することができます。2CPU 動作クロック以上ハイレベルのパルス信号を使用して下さい。

注) 電気的特性

	MIN [V]	MAX [V]
ハイレベル入力電圧	ターゲット電圧x0.7	ターゲット電圧
ロウレベル入力電圧	0	ターゲット電圧x0.3

3 . 6 電源の投入・切断手順

次の手順に従って電源の投入・切断を行ってください。

この手順通りに作業を行わなかった場合、ASMIS、ターゲット・システムの故障の原因となるおそれがあります。

ホスト・マシンの電源を投入

ASMIS の電源を投入

ターゲット・システム(TP1 への低電圧供給)の電源を投入

ディバッガの起動

ディバッグ

ディバッガの終了

ターゲット・システム(TP1 への低電圧供給)の電源を切断

ASMIS の電源を切断

ホスト・マシンの電源を切断

第4章 対象デバイスと ターゲット・インタフェース回路の相違

本章では、対象デバイス（ μ PD7807Xシリーズ、 μ PD7808Xシリーズ）の信号線と ND-K08H ターゲット・インタフェース回路の信号線との相違について説明します。

対象デバイスは CMOS 回路ですが、ND-K08H のターゲット・インタフェース回路は、エミュレーション・チップ、TTL、CMOS-IC 等によるエミュレーション回路で構成されています。

ND-K08H とターゲット・システムを接続してデバッグした場合、ターゲット・システム上であたかも実際の対象デバイスが動作しているように、ND-K08H がエミュレートします。

しかし、実際には ND-K08H がエミュレートしているので、細かい違いが生じます。

- 1) エミュレーション・チップ、 μ PD780009 から入出力される信号
- (2) エミュレーション・チップ、 μ PD78P054 から入出力される信号
- (3) エミュレーション・チップ、 μ PD78P079 から入出力される信号
- (4) エミュレーション・チップ、 μ PD780009 と μ PD78P079 から入出力される信号
- (5) エミュレーション・チップ、 μ PD780009 と μ PD78P054 から入出力される信号
- (6) その他

上記の(1)から(4)の信号について、ASMIS の回路を示します。

- (1) エミュレーション・チップ、 μ PD780009 から入出力される信号

P57 — P50
P67 — P65
P63 — P60
RESET
X1

- (2) エミュレーション・チップ、 μ PD78P054 から入出力される信号

P27 — P20
P37 — P30
P06 — P00
P127 — P120
P72 — P70
P17 — P10
P131 — P130
AVDD, AVREF0, AVREF1, AVSS

- (3) エミュレーション・チップ、 μ PD78P079 から入出力される信号

P87 — P80
P96 — P90
P103 — P100

- (4) エミュレーション・チップ、 μ PD780009 と μ PD78P079 から入出力される信号

P47-P40
P64

- (5) エミュレーション・チップ、 μ PD780009 と μ PD78P054 から入出力される信号

XT1

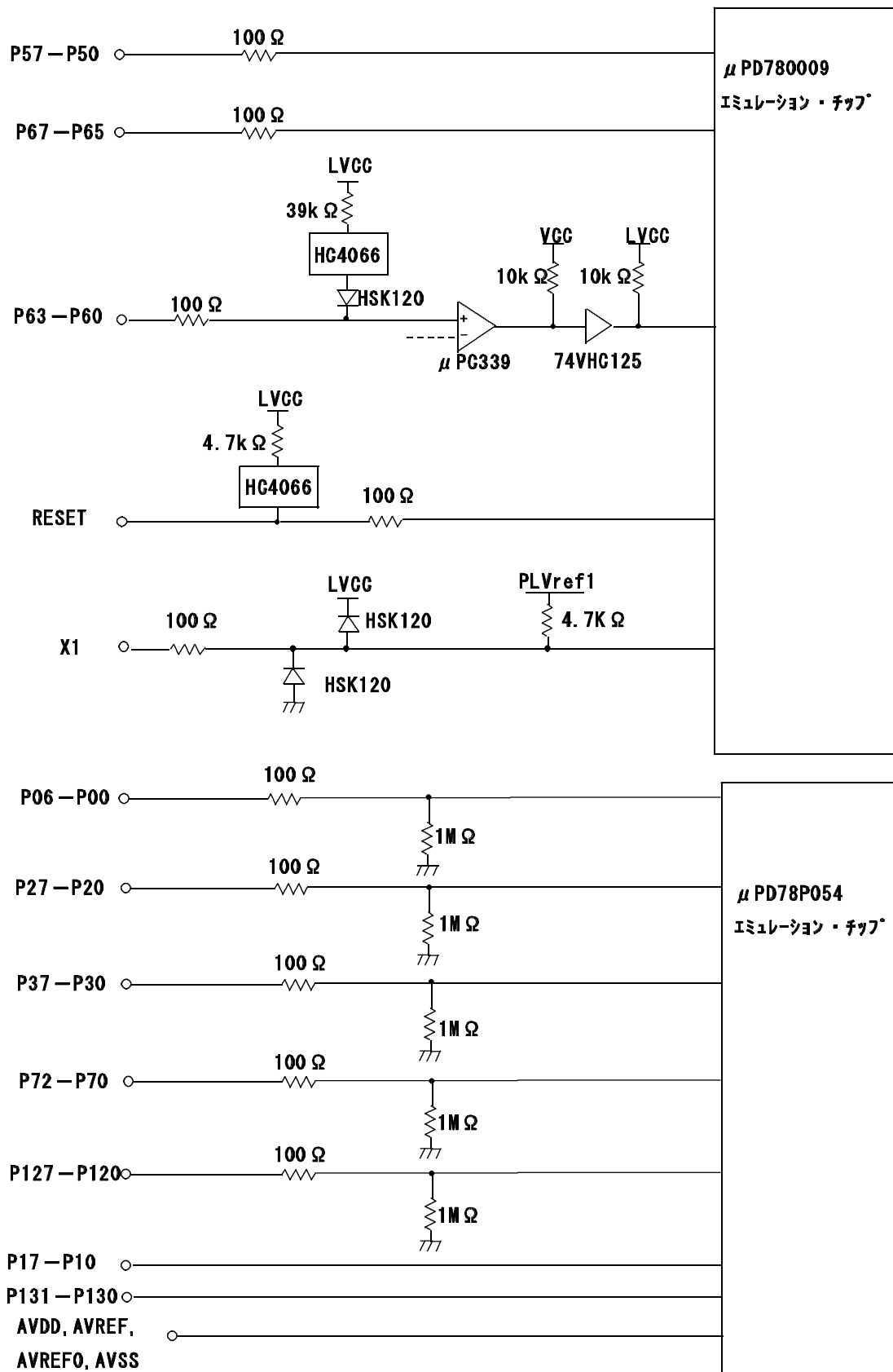
(6) その他

VDD
XT2
X2
IC(V_{PP})

《 エミュレーション回路の等価回路 》

プローブ側

ASMIS 側



《 エミュレーション回路の等価回路 》

プローブ側

ASMIS 側

